

# LIGHT EMITTING DEVICE, DRIVING METHOD THEREFOR, AND ELECTRONIC EQUIPMENT

Publication number: JP2002278478

Publication date: 2002-09-27

Inventor: INUKAI KAZUTAKA

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- international: H01L51/50; G09F9/30; G09G3/20; G09G3/30;  
H01L27/32; H04N5/70; H05B33/14; H01L51/50;  
G09F9/30; G09G3/20; G09G3/30; H01L27/28;  
H04N5/70; H05B33/14; (IPC1-7): G09F9/30; G09G3/20;  
G09G3/30; H04N5/70; H05B33/14

- european:

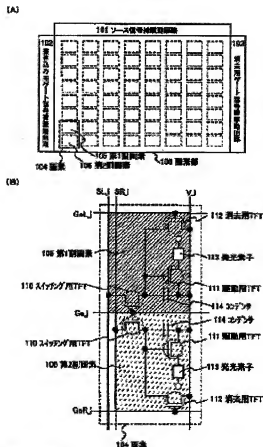
Application number: JP20010382530 20011217

Priority number(s): JP20010382530 20011217; JP20000388990 20001221

Report a data error here

## Abstract of JP2002278478

**PROBLEM TO BE SOLVED:** To provide a light emitting device permitting to display a picture of high gradations, while suppressing increase in a driving frequency of a source signal line driving circuit. **SOLUTION:** A single pixel has a plurality of sub-pixels of an equal effective light emitting area, and the gradation of the pixel is controlled by using all the sub-frame periods appearing in each sub-pixel. Further, in the light emitting device of this invention, for example, when time gradation is performed according to a binary code method, it is allowed that a sub-frame period of a specific bit is divided into a plurality of sub-frames, and the divided sub-frame periods are not continuously made to appear, but a sub-frame period of other bit of a non-display period is arranged in-between. Moreover, in the non-display period, the light emitting elements do not emit light in all the pixels of the pixel part.



(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G09F 9/30	390	G09F 9/30	390 Z 3K007
	365		365 Z 5C058
G09G 3/20	624	G09G 3/20	624 B 5C080
	641		641 E 5C094
			641 G

審査請求 未請求 請求項の数14 O L (全32頁) 最終頁に続く

(21) 出願番号 特願2001-382530 (P 2001-382530)

(22) 出願日 平成13年12月17日 (2001.12.17)

(31) 優先権主張番号 特願2000-388990 (P2000-388990)

(32) 優先日 平成12年12月21日 (2000.12.21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

最終頁に続く

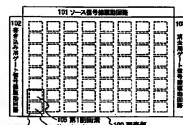
(54) 【発明の名称】 発光装置、発光装置の駆動方法及び電子機器

## (57) 【要約】

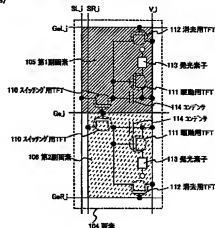
【課題】 ソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数の高い画像を表示することが可能な発光装置を提供する。

【解決手段】 1つの画素が、有効発光面積が等しい複数の副画素を有し、各副画素においてそれぞれ出現するサブフレーム期間を全て用いて、当該画素の階調を制御する。さらに本発明の発光装置では、例えば二進コード法による時間階調を行う場合、特定ビットのサブフレーム期間を複数のサブフレーム期間に分割し、分割したサブフレーム期間を連続して出現させず、間に他のビットのサブフレーム期間または表示を行わない期間（非表示期間）を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

(A)



(B)



## 【特許請求の範囲】

【請求項 1】複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置。

【請求項 2】複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子及び T F T をそれぞれ有しており、前記発光素子に流れる電流は、前記 T F T によって制御されており、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置。

【請求項 3】請求項 2 において、前記複数の副画素がそれぞれ有する前記 T F T の極性は全て同じであることを特徴とする発光装置。

【請求項 4】請求項 1 乃至請求項 3 のいずれか 1 項において、前記発光装置を用いることを特徴とする電子機器。

【請求項 5】複数の画素を有する発光装置の駆動方法であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しくなっており、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、デジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御されていることを特徴とする発光装置の駆動方法。

【請求項 6】複数の画素を有する発光装置の駆動方法であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しくなっており、前記複数の副画素において、1 フレーム期間中に複数のサブフレーム期間が出現し、前記複数のサブフレーム期間のそれぞれにおいて、デジタルビデオ信号の各ビットによって、前記複数の副画素の前記発光素子が発光状態になるか非発光状態になるかが選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態にあるサブフレーム期間の長さの総和が長くなればなるほど、前記複数の画素のそれぞれにおいて表示される階調数が高くなることを特徴とする発光装置の駆動方法。

【請求項 7】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第 1 の T F T、第 2 の T F T 及び第 3 の T F T をそれぞれ有しており、前記複数の副画素の全てにおいて、同じ期間に前記第 1 の T F T がオンになり、

前記第 1 の T F T がオンのときにデジタルビデオ信号の電位が前記第 2 の T F T のゲート電極に与えられ、

前記デジタルビデオ信号の電位によって前記第 2 の T F T のスイッチングが制御されることで、前記発光素子が発光状態になるか非発光状態になるかが選択され、

前記第 3 の T F T がオンのときに前記発光素子は非発光状態になり、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記デジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項 8】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第 1 の T F T、第 2 の T F T、第 3 の T F T、ソース信号線、書き込み用ゲート信号線、消去用ゲート信号線及び電源供給線をそれぞれ有しており、

前記第 1 の T F T のゲート電極は前記書き込み用ゲート信号線に接続されており、

前記第 1 の T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第 2 の T F T のゲート電極に接続されており、

前記第 2 の T F T のソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、

前記第 3 の T F T のゲート電極は前記消去用ゲート信号線に接続されており、

前記第 3 の T F T のソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第 2 の T F T のゲート電極に接続されており、

前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項 9】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、

前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、消去用ゲート信号線及び電源供給線をそれぞれ有しており、

前記複数の副画素は、同一画素内において書き込み用ゲート信号線を共有しており、

前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、

前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、

前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、

前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、

前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、

前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項10】複数の画素を有する発光装置の駆動方法であって、

前記複数の画素はそれぞれ複数の副画素を有しており、

前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、書き込み用ゲート信号線及び消去用ゲート信号線をそれぞれ有しており、

前記複数の副画素は同一画素内において電源供給線を共有しており、

前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、

前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、

前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、

前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、

前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、

前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項11】複数の画素を有する発光装置の駆動方法であって、

10 前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線及び消去用ゲート信号線をそれぞれ有しており、

前記複数の副画素は、同一画素内において書き込み用ゲート信号線及び電源供給線を共有しており、

前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、

前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、

20 前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、

前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、

前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、

30 前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、

前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、

前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置の駆動方法。

【請求項12】請求項7乃至請求項11のいずれか1項において、前記複数の副画素がそれぞれ有する前記第1のTFTの極性は全て同じであることを特徴とする発光装置の駆動方法。

40 【請求項13】請求項7乃至請求項11のいずれか1項において、前記複数の副画素がそれぞれ有する前記第2のTFTの極性は全て同じであることを特徴とする発光装置の駆動方法。

【請求項14】請求項7乃至請求項11のいずれか1項において、前記複数の副画素がそれぞれ有する前記第3のTFTの極性は全て同じであることを特徴とする発光装置の駆動方法。

50 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した表示用パネルに関する。また、該表示用パネルにICを実装した表示用モジュールに関する。なお本明細書において、表示用パネル及び表示用モジュールを発光装置と総称する。本発明はさらに、該発光装置の駆動方法及び該発光装置を用いた電子機器に関する。

【0002】

【従来の技術】発光素子は自ら発光するため視認性が高く、液晶表示装置(LCD)に必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、発光素子を用いた発光装置はCRTやLCDに代わる表示装置として注目されている。

【0003】発光素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(以下、有機化合物層と記す)と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の発光装置では、どちらの発光を用いても良い。

【0004】なお、本明細書では、陽極と陰極の間に設けられた全ての層を有機化合物層と定義する。有機化合物層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0005】また本明細書において、発光素子を発光させることを、発光素子を駆動すると呼ぶ。また、本明細書中では、陽極、有機化合物層及び陰極で形成される素子を発光素子と呼ぶ。

【0006】ところで、発光素子を有する発光装置の駆動方法には、主にアナログ駆動とデジタル駆動とがある。特にデジタル駆動は、放送電波のデジタル化に対応して、画像情報を有するデジタルのビデオ信号(デジタルビデオ信号)を、アナログに変換せずにそのまま用いて画像を表示することが可能なため、有望である。

【0007】デジタルビデオ信号が有する2値の電圧により階調表示を行う駆動方法には、画素の点灯する長さを制御することで階調表示を行う時間分割駆動法がある。

【0008】時間分割駆動法では、1フレーム期間を複数のサブフレーム期間に分割する。そして、各サブフレーム期間において、デジタルビデオ信号により各画素が点灯するかしないかが選択される。1フレーム期間中に出現する全てのサブフレーム期間の内、画素が点灯したサブフレーム期間の長さを積算することで、該画素の階

調が求められる。

【0009】

【発明が解決しようとする課題】以下、一般的な発光装置の画素部の構造と、その駆動方法について説明する。

【0010】一般的な発光装置の画素部7000の拡大図を図17(A)に示す。画素部7000はソース信号線S1~Sx、電源供給線V1~Vx、ゲート信号線G1~Gyを有している。

【0011】ソース信号線S1~Sxと、電源供給線V1~Vxと、ゲート信号線G1~Gyとを1つずつ備えた領域が画素7001に相当する。画素部7000にはマトリクス状に複数の画素7001が配置されている。

【0012】画素7001の拡大図を図17(B)に示す。画素7001はソース信号線Si(S1~Sxのうちのいずれか1つ)と、電源供給線Vi(V1~Vxのうちのいずれか1つ)と、ゲート信号線Gj(G1~Gyのうちのいずれか1つ)とを有している。

【0013】画素7001はスイッチング用TFT7002と、駆動用TFT7003と、発光素子7004

と、コンデンサ7005とを有している。

【0014】スイッチング用TFT7002のゲート電極は、ゲート信号線Gjに接続されている。またスイッチング用TFT7002のソース領域とドレイン領域は、一方がソース信号線Siに、もう一方が駆動用TFT7003のゲート電極、各画素が有するコンデンサ7005にそれぞれ接続されている。

【0015】また、駆動用TFT7003のソース領域とドレイン領域は、一方が電源供給線Viに接続され、もう一方は発光素子7004の画素電極に接続される。電源供給線Viはコンデンサ7005に接続されている。

【0016】発光素子7004は陽極と陰極と、陽極と陰極の間に設けられた有機化合物層とを有する。陽極が駆動用TFT7003のソース領域またはドレイン領域と接続している場合、陽極を画素電極、陰極を対向電極とする。逆に陰極が駆動用TFT7003のソース領域またはドレイン領域と接続している場合、陰極を画素電極、陽極を対向電極とする。

【0017】発光素子7004の対向電極には一定の電位(対向電位)が与えられている。また電源供給線Viには一定の電位(電源電位)が与えられている。電源電位と対向電位は、表示用パネルの外付けのIC等により設けられた電源によって与えられる。

【0018】次に、図17に示した構成を有する発光装置で、時間分割駆動法を用いて表示を行った場合について、図18を用いて説明する。時間分割駆動法では、1フレーム期間内に複数のサブフレーム期間が設けられている。図18は、図17に示した構成を有する発光装置において、サブフレーム期間の出現するタイミングを示しており、横軸はタイムスケールを、縦軸はゲート信号

線的位置を示している。

【0019】図18では、1フレーム期間中に $n$ 個( $n$ は自然数)のサブフレーム期間 $SF1 \sim SFn$ が設けられている。そして $n$ 個のサブフレーム期間のそれぞれにおいて、1ビット分のデジタルビデオ信号が各画素に入力されている。該デジタルビデオ信号によって、各画素の発光素子が発光するかしないかが選択される。

【0020】上記動作をより詳しく説明すると、ゲート信号線 $G1 \sim Gy$ が順に選択されることで、各ゲート信号線に接続されたスイッチング用 $TFT7002$ がオンになる。なお本明細書において信号線が選択されるとは、該信号線にゲート電極が接続された $TFT$ が全てオンになることを意味する。

【0021】そして各ゲート信号線が選択されているときに、ソース信号線 $S1 \sim Sy$ からオンのスイッチング用 $TFT7002$ を介して、駆動用 $TFT7003$ のゲート電極に1ビット分のデジタルビデオ信号が入力される。

【0022】駆動用 $TFT7003$ はデジタルビデオ信号によってスイッチングが制御される。駆動用 $TFT7003$ がオンだと、電源電位が発光素子 $7004$ の画素電極に与えられ、電源電位と対向電位の電位差により発光素子 $7004$ が発光する。逆に、駆動用 $TFT7003$ がオフだと、電源電位は発光素子 $7004$ の画素電極に与えられないので発光素子 $7004$ は発光しない。なお本明細書において発光素子が発光している状態を発光状態と呼び、発光していない状態を非発光状態と呼ぶ。

【0023】全ての画素にデジタルビデオ信号が入力されると、1つのサブフレーム期間が終了し、次のサブフレーム期間が開始される。そして上述した動作が繰り返され、サブフレーム期間 $SF1 \sim SFn$ のそれぞれにおいて、各画素の発光素子 $7004$ が発光するかしないかが選択される。これにより、各画素の表示する階調の高さが制御され、1フレーム期間で1つの画像が表示される。

【0024】ところで上述した駆動方法では、 $n$ ビットのデジタルビデオ信号を用いて表示を行う場合、1フレーム期間内に少なくとも $n$ 個のサブフレーム期間を設ける必要がある。よって画像の階調数を高くするためにデジタルビデオ信号のビット数を多くすると、1フレーム期間内に設けるサブフレーム期間の数が増える。

【0025】通常の発光装置では、1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。そこで、画像のちらつきを抑えるためにフレーム周波数を落とさず階調数の高い画像を表示しようとした場合、サブフレーム期間の長さを短くする必要がある。

【0026】しかしサブフレーム期間の長さを短くしていくと、画素へデジタルビデオ信号を入力する速度が、

サブフレーム期間の長さに対応しきれないという問題が生じる。この問題について、以下に図19を用いて詳しく説明する。

【0027】図19は一般的な時間分割駆動法におけるサブフレーム期間 $SF(k-1)$ 、 $SFk$ 、 $SF(k+1)$ ( $k$ は任意の自然数)の出現するタイミングを示しており、横軸はタイムスケールを、縦軸はゲート信号線の位置を示している。また $t1$ はサブフレーム期間 $SFk$ において、全ての画素に1ビット分のデジタルビデオ信号が入力される期間の長さを示しており、 $t2$ は各ラインの画素におけるサブフレーム期間 $SFk$ の長さを示している。なお1ライン分の画素は、同じゲート信号線を有している。

【0028】図19(A)は $t1 \leq t2$ の場合を示しており、図19(B)は $t1 > t2$ の場合を示している。

【0029】図19(A)に示した $t1 \leq t2$ の場合、 $k$ 番目のサブフレーム期間 $SFk$ が終了し、次の $(k+1)$ 番目のサブフレーム期間 $SF(k+1)$ が開始されるまでに、全ての画素に1ビット分のデジタルビデオ信号が入力されている。よって1ビット分のデジタルビデオ信号の画素への入力と、次の1ビット分のデジタルビデオ信号の画素への入力とが、同じ画素部において並行して行われることがない。

【0030】しかし図19(B)に示した $t1 > t2$ の場合、 $k$ 番目のサブフレーム期間 $SFk$ が終了しても画素への1ビット分のデジタルビデオ信号の入力が終了していない。つまり1ビット分のデジタルビデオ信号の画素への入力と並行して、次の1ビット分のデジタルビデオ信号の画素への入力を開始しなくてはならない。

【0031】階調数を高くするためにサブフレーム期間 $t2$ を短くしていくと $t1 > t2$ となり、図19(B)に示した駆動を行わなくてはならないが、図17で示した構成の発光装置では不可能であった。サブフレーム期間 $t2$ を短くしても $t1 \leq t2$ とするためには、全ての画素に1ビット分のデジタルビデオ信号を入力する期間 $t1$ の長さを短くする必要がある。

【0032】 $t1$ を短くするためには、ソース信号線へのデジタルビデオ信号の入力を制御しているソース信号線駆動回路の駆動周波数を高くする必要がある。しかし、ソース信号線駆動回路の駆動周波数を高くすると、ソース信号線駆動回路が有するトランジスタが駆動周波数に対応しきれなくなり、動作が不可能か、または信頼性の上で疑われるという可能性があった。

【0033】上述した問題に鑑み、階調数の高い画像の表示を行うことが可能な、新しい構成の発光装置が希望されている。

【0034】

【課題を解決するための手段】本発明の発光装置は、1つの画素が複数の副画素を有し、各副画素は実際に発光が得られる面積(有効発光面積)は互いに等しい。な

お、発光素子の有効発光面積は、発光素子が有する画素電極のうち、発せられる光が基板上に形成されたTFT、配線等の光を透過しないものに遮られない領域の面積を指す。

【0035】そして本発明では、各副画素においてそれぞれ出現するサブフレーム期間を全て用いて、当該画素の階調を制御する。

【0036】上記構成によって、1フレーム期間に設けるサブフレーム期間の数を増やしても、各サブフレーム期間の長さが短くなるのを抑えることができる。よって画素のデジタルビデオ信号を入力する期間（書きこみ期間）が短くなるのを抑えることができる。したがって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数の高い画像を表示することが可能になる。

【0037】また一般的な面積分割駆動法とは異なり、副画素の有効発光面積はほぼ同じである。一般的な面積分割駆動法では、一番小さい副画素にデザインルールをあてはめて設計するので高精細化が難しかった。しかし本発明の発光装置は階調数の増加しても副画素の有効発光面積がほぼ同じであるので、高精細化が可能である。

【0038】さらに本発明の発光装置では、例えば二進コード法による時間階調を行う場合、特定ビットのサブフレーム期間を複数のサブフレーム期間に分割し、分割したサブフレーム期間を連続して出現させず、間に他のビットのサブフレーム期間または表示を行わない期間（非表示期間）を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

【0039】上記構成により、動画擬似輪郭の発生を防ぐことができる。

【0040】なおかつ本発明の発光装置では、動画擬似輪郭の発生を防ぐためにサブフレーム期間を分割しても、1つのサブフレーム期間の長さが短くなるのを抑えることができ、ソース信号線駆動回路の駆動周波数の高さを抑えることができる。

【0041】以下に、本発明の構成を示す。

【0042】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0043】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しくなっており、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、デジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制

御されていることを特徴とする発光装置である。

【0044】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子をそれぞれ有しており、前記複数の副画素は、有効発光面積が互いに等しくなっており、前記複数の副画素において、1フレーム期間中に複数のサブフレーム期間が出現し、前記複数のサブフレーム期間のそれぞれにおいて、デジタルビデオ信号の各ビットによって、前記複数の副画素の前記発光素子が発光状態になるか非発光状態になるかが選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態にあるサブフレーム期間の長さの総和が長くなればなるほど、前記複数の画素のそれぞれにおいて表示される階調数が高くなることを特徴とする発光装置である。

【0045】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子及びTFTをそれぞれ有しており、前記発光素子に流れる電流は、前記TFTによって制御されており、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0046】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT及び第3のTFTをそれぞれ有しており、前記複数の副画素の全てにおいて、同じ期間に前記第1のTFTがオンになり、前記第1のTFTがオンのときにデジタルビデオ信号の電位が前記第2のTFTのゲート電極に与えられ、前記デジタルビデオ信号の電位によって前記第2のTFTのスイッチングが制御されることで、前記発光素子が発光状態になるか非発光状態になるかが選択され、前記第3のTFTがオンのときに前記発光素子は非発光状態になり、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記デジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0047】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、書き込み用ゲート信号線、消去用ゲート信号線及び電源供給線をそれぞれ有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2の

TFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0048】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、消去用ゲート信号線及び電源供給線をそれぞれ有しており、前記複数の副画素は、同一画素内において書き込み用ゲート信号線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0049】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線、書き込み用ゲート信号線及び消去用ゲート信号線をそれぞれ有しており、前記複数の副画素は同一画素内において電源供給線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2の

TFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0050】本明細書で開示する発明は、複数の画素を有する発光装置であって、前記複数の画素はそれぞれ複数の副画素を有しており、前記複数の副画素は発光素子、第1のTFT、第2のTFT、第3のTFT、ソース信号線及び消去用ゲート信号線をそれぞれ有しており、前記複数の副画素は、同一画素内において書き込み用ゲート信号線及び電源供給線を共有しており、前記第1のTFTのゲート電極は前記書き込み用ゲート信号線に接続されており、前記第1のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記第2のTFTのソース領域は前記電源供給線に、ドレイン領域は前記発光素子が有する画素電極に接続されており、前記第3のTFTのゲート電極は前記消去用ゲート信号線に接続されており、前記第3のTFTのソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記第2のTFTのゲート電極に接続されており、前記複数の画素がそれぞれ有する書き込み用ゲート信号線は同じ期間に選択され、前記複数の副画素のそれぞれにおいて前記発光素子が発光状態である期間の長さが、前記ソース信号線に入力されるデジタルビデオ信号によって制御されることで、前記複数の画素のそれぞれにおいて表示される階調が制御され、前記複数の副画素は、有効発光面積が互いに等しいことを特徴とする発光装置である。

【0051】本発明は、前記複数の副画素がそれぞれ有する前記第1のTFTの極性が全て同じであることを特徴としていても良い。

【0052】本発明は、前記複数の副画素がそれぞれ有する前記第2のTFTの極性が全て同じであることを特徴としていても良い。

【0053】本発明は、前記複数の副画素がそれぞれ有する前記第3のTFTの極性が全て同じであることを特徴としていても良い。

【0054】本発明は、前記発光装置を用いることを特徴とする電子機器であっても良い。



【0055】

【発明の実施の形態】図1と図2を用いて、本発明の発光装置の構造について説明する。図1(A)は本発明の発光装置に含まれる表示用パネルのブロック図である。基板(図示せず)上に、画素部100と、ソース信号線駆動回路101と、書き込み用ゲート信号線駆動回路102と、消去用ゲート信号線駆動回路103とが設けられている。

【0056】なお、本実施の形態では、画素部100と、駆動回路群(ソース信号線駆動回路101、書き込み用ゲート信号線駆動回路102及び消去用ゲート信号線駆動回路103)が同一基板上に形成されているが、本発明はこの構成に限定されない。画素部100と駆動回路群とが異なる基板上に形成され、FPC等のコネクタを介して互いに接続されている。

【0057】また、ソース信号線駆動回路101とゲート信号線駆動回路(書き込み用ゲート信号線駆動回路102及び消去用ゲート信号線駆動回路103)が含まれる数は、図1(A)に示した数に限定されない。ソース信号線駆動回路101は1つ以上設けられていれば良い。またゲート信号線駆動回路も1つ以上設けられていれば良く、書き込み用ゲート信号線駆動回路102と消去用ゲート信号線駆動回路103とを、1つのゲート信号線駆動回路で代用しても良い。

【0058】画素部100には複数の画素104がマトリクス状に設けられており、各画素104は複数の副画素を有している。なお各画素が有する副画素の数は、作製が可能な限りいくつでも良い。本実施の形態では説明を分かり易くするために、1つの画素104が第1副画素105と、第2副画素106の2つの副画素を有している例について説明する。

【0059】図1(B)に画素の回路図を示す。画素104が有する第1副画素105と第2副画素106は、1つの電源供給線 $V_{-i}$ ( $i$ は1~ $x$ の任意の数)と、1つの書き込み用ゲート信号線 $G_{a\_j}$ ( $j$ は1~ $y$ の任意の数)とを共有している。なお電源供給線は、必ずしも全ての副画素で共有する必要はない。ただしこの場合、全ての副画素が有する電源供給線は同じ電位に保たれる。

【0060】また、第1副画素105と第2副画素106は、異なるソース信号線を1つずつ有しており、本実施の形態では、第1副画素105が有するソース信号線を第1ソース信号線 $SL_{-i}$ ( $i$ は1~ $x$ の任意の数)、第2副画素106が有するソース信号線を第2ソース信号線 $SR_{-i}$ ( $i$ は1~ $x$ の任意の数)とする。

【0061】また、第1副画素105と第2副画素106は、異なる消去用ゲート信号線を1つずつ有しており、本実施の形態では、第1副画素105が有する消去用ゲート信号線を第1消去用ゲート信号線 $GeL_{-j}$

( $j$ は1~ $y$ の任意の数)、第2副画素106が有する消去用ゲート信号線を第2消去用ゲート信号線 $GeR_{-j}$ ( $j$ は1~ $y$ の任意の数)とする。

【0062】また各副画素は、それぞれスイッチング用TFT(第1のTFT)110、駆動用TFT(第2のTFT)111、消去用TFT(第3のTFT)112、発光素子113、コンデンサ114を有している。

【0063】各副画素が有するスイッチング用TFT110のゲート電極は、書き込み用ゲート信号線 $G_{a\_j}$ に接続されている。また各副画素が有するスイッチング用TFT110のソース領域とドレイン領域は、一方は各副画素が有するソース信号線に、もう一方は各副画素が有する駆動用TFT111のゲート電極に接続されている。本実施の形態の場合、第1副画素105が有するスイッチング用TFT110のソース領域とドレイン領域は、一方は第1ソース信号線 $SL_{-i}$ に、もう一方は第1副画素105が有する駆動用TFT111のゲート電極に接続されている。また、第2副画素106が有するスイッチング用TFT110のソース領域とドレイン領域は、一方は第2ソース信号線 $SR_{-i}$ に、もう一方は第2副画素106が有する駆動用TFT111のゲート電極に接続されている。

【0064】各副画素が有する駆動用TFT111のソース領域は電源供給線 $V_{-i}$ に、ドレイン領域は各副画素が有する発光素子113の画素電極にそれぞれ接続されている。

【0065】また、各副画素が有する消去用TFT112は、各副画素が有する消去用ゲート信号線にそれぞれ接続されている。本実施の形態の場合、第1副画素105が有する消去用TFT112のゲート電極は、第1消去用ゲート信号線 $GeL_{-j}$ に接続されており、第2副画素106が有する消去用TFT112のゲート電極は、第2消去用ゲート信号線 $GeR_{-j}$ に接続されている。

【0066】また各副画素が有する消去用TFT112のソース領域とドレイン領域は、一方は電源供給線 $V_{-i}$ に、もう一方は各副画素が有する駆動用TFT111のゲート電極に接続されている。

【0067】図2に、図1(A)に示した画素部100の回路図を示す。画素部100には第1ソース信号線 $SL_{-1} \sim SL_{-x}$ と、第2ソース信号線 $SR_{-1} \sim SR_{-x}$ と、電源供給線 $V_{-1} \sim V_{-x}$ と、書き込み用ゲート信号線 $G_{a\_1} \sim G_{a\_y}$ と、第1消去用ゲート信号線 $GeL_{-1} \sim GeL_{-y}$ と、第2消去用ゲート信号線 $GeR_{-1} \sim GeR_{-y}$ とが設けられている。

【0068】なお、画素部100が有する第1ソース信号線と電源供給線の数は必ずしも同じであるとは限らない。画素部100が有する第2ソース信号線と電源供給線の数も、必ずしも同じであるとは限らない。また、画素部100が有する書き込み用ゲート信号線と第1消去

15

用ゲート信号線の数が必ずしも同じであるとは限らない。画素部 100 が有する書き込み用ゲート信号線と第 2 消去用ゲート信号線の数も、必ずしも同じであるとは限らない。

【0069】次に、図 1 及び図 2 に示した構造を有する本発明の発光装置の、駆動方法について説明する。なお本実施の形態では、6 ビットのデジタルビデオ信号を用いて表示を行った場合について説明するが、本発明の発光装置が用いるデジタルビデオ信号のビット数は、これに限定されない。

【0070】図 3 に、各画素 104 が有する第 1 副画素 105 と第 2 副画素 106 における、サブフレーム期間の出現するタイミングを示す。第 1 副画素 105 では、1 フレーム期間内にサブフレーム期間 SF6\_1、SF2、SF4\_1、SF5\_2、SF4\_2 が順に出現する。第 2 副画素 106 では、1 フレーム期間内にサブフレーム期間 SF5\_1、SF1、SF6\_2、SF3、SF6\_3 が順に出現する。

【0071】なお、サブフレーム期間 SF1～SF3 は、1 ビット目～3 ビット目のデジタルビデオ信号それぞれに対応している。また、サブフレーム期間 SF4\_1 と、SF4\_2 とは共に 4 ビット目のデジタルビデオ信号に対応している。また、サブフレーム期間 SF5\_1 と、SF5\_2 とは共に 5 ビット目のデジタルビデオ信号に対応している。また、サブフレーム期間 SF6\_1

16

と、SF6\_2 と、SF6\_3 は共に 6 ビット目のデジタルビデオ信号に対応している。

【0072】第 1 副画素 105 においてサブフレーム期間 SF6\_1 が開始されるタイミングと、第 2 副画素 106 においてサブフレーム期間 SF5\_1 が開始されるタイミングは同じである。同様に、第 1 副画素 105 においてサブフレーム期間 SF2 が開始されるタイミングと、第 2 副画素 106 においてサブフレーム期間 SF1 が開始されるタイミングは同じである。同様に、第 1 副画素 105 においてサブフレーム期間 SF4\_1 が開始されるタイミングと、第 2 副画素 106 においてサブフレーム期間 SF6\_2 が開始されるタイミングは同じである。同様に、第 1 副画素 105 においてサブフレーム期間 SF5\_2 が開始されるタイミングと、第 2 副画素 106 においてサブフレーム期間 SF3 が開始されるタイミングは同じである。同様に、第 1 副画素 105 においてサブフレーム期間 SF4\_2 が開始されるタイミングと、第 2 副画素 106 においてサブフレーム期間 SF6\_3 が開始されるタイミングは同じである。

【0073】また表 1 に、各副画素において出現するサブフレーム期間の出現する順序と、長さの比を示す。なお括弧内の数字は当該サブフレーム期間の、他のサブフレーム期間に対する長さの比に相当する。

【0074】

【表 1】

副画素1	SF6_1(10)	SF2(2)	SF4_1(4)	SF5_2(6)	SF4_2(4)
副画素2	SF5_1(8)	SF1(1)	SF6_2(11)	SF3(4)	SF6_3(11)

【0075】本実施の形態では、SF1：SF2：SF3：(SF4\_1+SF4\_2)：(SF5\_1+SF5\_2)：(SF6\_1+SF6\_2+SF6\_3) = 2<sup>1</sup>：2<sup>1</sup>：2<sup>1</sup>：2<sup>2</sup>：2<sup>1</sup>：2<sup>2</sup> となっている。そして、どのサブフレーム期間において発光素子が発光するかはデジタルビデオ信号によって決まり、発光するサブフレーム期間の組み合わせで 2<sup>n</sup> 階調のうち所望の階調表示を行うことができる。なお n ビットのデジタルビデオ信号を用いて駆動を行うとき、各ビットに対応するサブフレーム期間の長さの比は、2<sup>0</sup>：2<sup>1</sup>：…：2<sup>(n-1)</sup> となる。

【0076】なお、サブフレーム期間の出現する順序や、各副画素において出現するサブフレーム期間の対応するビットは、設計者が適宜選択可能である。

【0077】なお本実施の形態では、4 ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF4\_1 と SF4\_2 の 2 つに分割している。また、5 ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF5\_1 と SF5\_2 の 2 つに分割している。また、6 ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF6\_1 と SF6\_2 と SF6\_3 の 3 つに分割している。しかし本発明において分割するサ

ブフレーム期間が対応するデジタルビデオ信号のビット数は、必ずしもこれに限定されない。

【0078】分割するサブフレーム期間は 1 つでも複数でも良い。ただし上位ビットに対応するサブフレーム期間、言い換えると長さの長いサブフレーム期間から順に分割することが好ましい。

【0079】また、サブフレーム期間の分割数は設計者が適宜選択可能であるが、いくつまで分割するかは、発光装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0080】また同じビットのデジタルビデオ信号に対応する、分割したサブフレーム期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割したサブフレーム期間の長さは必ずしも同じである必要はない。

【0081】また分割数もこれに限定されない。そして、サブフレーム期間を分割し、分割したサブフレーム期間同士が同じ副画素において連続して出現しないように、間に他のサブフレーム期間または表示を行わない期間（非表示期間）を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

【0082】上記構成により、動画擬似輪郭が発生するのを防ぐことができる。ただし、本発明はこの構成に限定されず、必ずしもサブフレーム期間を分割する必要はない。

【0083】次に、各サブフレーム期間における画素の動作について説明する。各サブフレーム期間が開始されると、全ての画素に順にデジタルビデオ信号が入力される。そして、該デジタルビデオ信号の有する1または0の情報によって、第1副画素105と、第2副画素106がそれぞれ有する発光素子が、発光するかしないかが選択される。

【0084】上記動作についてより詳しく説明する。まず各画素が有する書き込み用ゲート信号線が順に選択される。なお、書き込み用ゲート信号線は1つずつ選択され、同時に2つ以上の書き込み用ゲート信号線は選択されない。例えば書き込み用ゲート信号線G<sub>a\_j</sub>が選択されると、書き込み用ゲート信号線G<sub>a\_j</sub>にゲート電極が接続されたスイッチング用TFT110が全てオンになる。

【0085】そして全てのソース信号線（本実施例では第1ソース信号線と第2ソース信号線）に、各サブフレーム期間に対応するビットのデジタルビデオ信号が入力される。つまり、SF1〜SF3では、それぞれ1ビット目〜3ビット目のデジタルビデオ信号が入力される。また、SF4<sub>1</sub>と、SF4<sub>2</sub>では共に4ビット目のデジタルビデオ信号が入力され、SF5<sub>1</sub>と、SF5<sub>2</sub>では共に5ビット目のデジタルビデオ信号が入力され、SF6<sub>1</sub>と、SF6<sub>2</sub>と、SF6<sub>3</sub>では共に6ビット目のデジタルビデオ信号が入力される。ただし、第1ソース信号線には、第1副画素において出現するサブフレーム期間に対応するビットのデジタルビデオ信号が入力され、第2ソース信号線には、第2副画素において出現するサブフレーム期間に対応するビットのデジタルビデオ信号が入力される。

【0086】図1(B)に示した画素においては、第1ソース信号線SL<sub>1</sub>に、第1副画素において出現するサブフレーム期間に対応するビット数のデジタルビデオ信号が入力される。また、第2ソース信号線SR<sub>1</sub>に、第2副画素において出現するサブフレーム期間に対応するビット数のデジタルビデオ信号が入力される。

【0087】各副画素において、デジタルビデオ信号はオンのスイッチング用TFT110を介して、駆動用TFT111のゲート電極に入力される。駆動用TFT111は、入力されたデジタルビデオ信号によってそのスイッチングが制御される。

【0088】駆動用TFT111がオンだと、電源供給線の電位（電源電位）が駆動用TFT111を介して発光素子113の画素電極に与えられる。よって発光素子113が有する有機化合物層に電源電位と対向電位の電位差（発光素子駆動電圧）が印加され、発光素子113

が発光する。

【0089】逆に駆動用TFT111がオフだと、電源電位は発光素子113の画素電極に与えられない。よって発光素子駆動電圧が有機化合物層に印加されないため、発光素子113は発光しない。

【0090】上記動作が画素部の全ての画素において行われ、全ての画素、具体的には各副画素にデジタルビデオ信号が入力される。なお本明細書において画素、または副画素にデジタルビデオ信号が入力されるとは、当該画素または副画素の駆動用TFTのゲート電極にデジタルビデオ信号の電位が与えられることを意味する。なお、本明細書では、全ての画素にデジタルビデオ信号を入力するまでの期間を書き込み期間T<sub>a</sub>と呼ぶ。

【0091】次に、書き込み期間T<sub>a</sub>が終了する前、もしくは終了した後に、第1消去用ゲート信号線または第2消去用ゲート信号線が選択される。第1消去用ゲート信号線が選択されると、第1消去用ゲート信号線にゲート電極が接続された第1副画素105の消去用TFT112が全てオンになり、電源電位が第1副画素105の駆動用TFT111のゲート電極に与えられる。よって、第1副画素105の駆動用TFT111は、ゲート電極とソース領域の電位が等しくなるのでオフになり、第1副画素105の発光素子113は非発光状態になる。そして、第1副画素105においてサブフレーム期間が終了する。

【0092】同様に、第2消去用ゲート信号線が選択されると、第2消去用ゲート信号線にゲート電極が接続された第2副画素106の消去用TFT112が全てオンになり、電源電位が第2副画素106の駆動用TFT111のゲート電極に与えられる。よって、第2副画素106の駆動用TFT111は、ゲート電極とソース領域の電位が等しくなるのでオフになり、第2副画素106の発光素子113は非発光状態になる。そして、第2副画素106においてサブフレーム期間が終了する。

【0093】なお、同じ画素においても、第1消去用ゲート信号線と第2消去用ゲート信号線の選択されるタイミングは同じであるとは限らない。第1消去用ゲート信号線と第2消去用ゲート信号線の選択されるタイミングは、当該副画素において出現するサブフレーム期間の長さによって決まる。

【0094】なお本明細書では、全ての第1消去用ゲート信号線が選択されるまでの期間、または全ての第2消去用ゲート信号線が選択されるまでの期間を、消去期間T<sub>e</sub>と呼ぶ。なお第1消去用ゲート信号線の選択は1つずつ行われ、同時に2つ以上選択されない。同様に、第2消去用ゲート信号線の選択は1つずつ行われ、同時に2つ以上選択されない。

【0095】図4(A)に、書き込み期間T<sub>a</sub>において、書き込み用ゲート信号線が選択されるタイミングを示す。また図4(B)に、第1副画素105において出

現した消去期間 T e において、第 1 消去用ゲート信号線が選択されるタイミングを示す。なお、第 2 副画素 106 において出現した消去期間において、第 2 消去用ゲート信号線が選択されるタイミングは、第 1 副画素 105 と同じであるので、図 4 (B) を参照できる。

【0096】そして、同じ画素が有する複数の副画素のうち、先にサブフレーム期間が終了した副画素においては、他の副画素においてサブフレーム期間が終了するまで、発光素子が非表示状態になっている。そして全ての副画素においてサブフレーム期間が終了した後に、当該画素が有する全ての副画素において次のサブフレーム期間が一斉に開始される。なお、先のサブフレーム期間が終了してから、次のサブフレーム期間が開始されるまでの、発光素子が非発光状態にある期間を、非表示期間 B F と呼ぶ。

【0097】また、サブフレーム期間を分割することによって、サブフレーム期間どうしの長さの差を縮めることができる。よって同じ画素が有する複数の副画素のそれぞれにおいて同時に開始されるサブフレーム期間の長さの差を縮めることができ、1 フレーム期間における非表示期間の長さを短くし、コントラストを高めることもできる。

【0098】なお上述した動作において、サブフレーム期間が書き込み期間よりも長い場合、言いかえると書き込み期間 T a が終了した後にサブフレーム期間が終了する場合、第 1 消去用ゲート信号線または第 2 消去用ゲート信号線を選択せずに、次のサブフレーム期間を開始しても良い。この場合、サブフレーム期間とサブフレーム期間の間に非表示期間 B F は出現しない。

【0099】なお、画素におけるサブフレーム期間の出現するタイミングは、各ラインの画素毎に異なっている。なお本発明において 1 ライン分の画素は、同じ書き込み用ゲート信号線を有している。図 5 に各ラインの画素毎のサブフレーム期間の出現するタイミングを示す。横軸はタイムスケールを、縦軸は書き込み用ゲート信号線の位置を示している。

【0100】1 番最初のラインの画素においてサブフレーム期間が開始されてから、最後のラインの画素においてサブフレーム期間が開始されるまでの期間が、書き込み期間 T a に相当する。また、1 番最初のラインの画素において非表示期間が開始されてから、最後のラインの画素において非表示期間が開始されるまでの期間が消去期間 T e に相当する。本実施の形態においては、サブフレーム期間 S F 2、S F 4<sub>1</sub>、S F 4<sub>2</sub>、S F 5<sub>1</sub>、S F 1、S F 3 が終了した直後に非表示期間が出現している。本発明において非表示期間は、必ずしも上述したサブフレーム期間の直後に開始されるとは限らない。ただし少なくとも、書き込み期間よりも長さの短いサブフレーム期間の直後に、非表示期間は設けられる。

【0101】本発明の発光装置では、各副画素に消去用

T F T 1 1 2 を設けることで、非表示期間 B F を出現させることができる。そのため、図 17 に示した一般的な発光装置とは異なり、サブフレーム期間を全ての画素に 1 ビット分のデジタルビデオ信号が入力される期間の長さ、(本発明の発光装置では書き込み期間の長さに対応する)よりも短くすることができる。

【0102】図 6 は本発明の発光装置において、時間分割駆動法を用いて表示を行った際に、サブフレーム期間 S F (k-1)、S F k、S F (k+1) (k は任意の自然数)の出現するタイミングを示している。横軸はタイムスケールを、縦軸は各ラインの画素の位置を示している。また t 1 はサブフレーム期間 S F k において、全ての画素に 1 ビット分のデジタルビデオ信号が入力される書き込み期間の長さを示しており、t 2 は各ラインの画素におけるサブフレーム期間 S F k の長さを示している。なお 1 ライン分の画素は、同じゲート信号線を有している。

【0103】t 3 は各ラインの画素における非表示期間 B F の長さである。非表示期間の長さ t 3 は、S F k と重なっている書き込み期間と、S F (k+1) と重なっている書き込み期間とが、互いに重ならないような長さであることが重要である。つまり  $t 3 \geq t 1 - t 2$  とすることが重要である。

【0104】上記動作により、階調数を高くするためにサブフレーム期間 t 2 を短くし、 $t 1 > t 2$  となっても、1 ビット分のデジタルビデオ信号の画素への入力と並行して、同じ画素部内において次の 1 ビット分のデジタルビデオ信号の画素への入力を開始する必要がある。

【0105】また、本発明の発光装置では、画素が有する複数の副画素のそれぞれにおいて出現するサブフレーム期間において、各副画素の発光素子が発光するかしないかで階調表示を行っている。そのため、副画素を設けない一般的な発光装置で時間分割駆動を行う場合に比べて、サブフレーム期間が短くなるのを抑えることができる。よって、サブフレーム期間の数が増加しても、ソース信号線駆動回路の駆動周波数が高くなるのを抑えることができる。したがって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数の高い画像を表示することが可能になる。

【0106】また、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、動画擬似輪郭の視認されずらい画像を表示することが可能になる。

【0107】

【実施例】以下に、本発明の実施例について説明する。

【0108】(実施例 1) 本実施例では、図 1 (B) に示した本発明の発光装置の画素の上面図について説明する。図 7 に本実施例の画素の上面図を示す。

【0109】205 は第 1 副画素、206 は第 2 副画素

21

を示しており、各副画面にはスイッチング用TFT210、駆動用TFT211、消去用TFT212が形成されている。

【0110】また、第1副画面205と第2副画面206は、書き込み用ゲート信号線Ga<sub>j</sub>及び電源供給線V<sub>i</sub>を共有している。そして第1副画面205は第1消去用ゲート信号線GeL<sub>j</sub>を有しており、第2副画面206は第2消去用ゲート信号線GeR<sub>j</sub>を有している。

【0111】各副画面において、スイッチング用TFT210のソース領域とドレイン領域は、一方は各副画面が有するソース信号線に、もう一方は接続配線225を介してゲート配線222に接続されている。ゲート配線222の一部は駆動用TFT211のゲート電極として用いられている。

【0112】また駆動用TFT211のソース領域は電源供給線V<sub>i</sub>に、ドレイン領域は発光素子の画素電極220に接続されている。なお本実施例では図示していないが、画素電極に接して有機化合物層が形成されており、該有機化合物層に接して対向電極が形成されている。

【0113】ゲート配線222は書き込み用ゲート信号線及び消去用ゲート信号線と同じ層に形成される。そしてゲート配線222はゲート絶縁膜（図示せず）を間に介してTFTの活性層と同じ層に形成された容量用活性層221と重なっている。容量用活性層221は電源供給線V<sub>i</sub>と接続されており、電源電位が与えられている。ゲート配線222と容量用活性層221とでコンデンサ214が形成される。

【0114】また、ゲート配線222は層間絶縁膜（図示せず）を間に介して電源供給線V<sub>i</sub>とも重なっており、ゲート配線222と電源供給線V<sub>i</sub>との間に形成される容量を用いて、駆動用TFT211のゲート電極の電位を保持するようにしても良い。

【0115】また消去用TFT212のソース領域とドレイン領域は、一方は接続配線224を介してゲート配線222に接続され、もう一方は電源供給線V<sub>i</sub>に接続されている。なお、接続配線225と224は、ソース信号線及び電源供給線と同じ層に形成されている。

【0116】また消去用TFT212のゲート電極は、各副画面が有する消去用ゲート信号線に接続されている。

【0117】なお本実施例は本発明の一実施例を示しただけであり、本発明の発光装置は本実施例で示した構成に限定されない。

【0118】（実施例2）本実施例では、図1（B）に示した構成を有する本発明の発光装置において、6ビットのデジタルビデオ信号を用いて表示を行った場合について説明する。ただしサブフレーム期間は分割せずに、デジタルビデオ信号のビット数と同じ数のサブフレーム

22

期間を用いて表示を行う例について説明する。

【0119】表2に、各副画面において出現するサブフレーム期間の出現する順序と、長さの比を示す。なお括弧内の数字は当該サブフレーム期間の、他のサブフレーム期間に対する長さの比に相当する。

【0120】

【表2】

副画面1	SF6(32)	SF3(4)	SF1(1)
副画面2	SF5(16)	SF4(8)	SF2(2)

【0121】第1副画面105では、1フレーム期間内にサブフレーム期間SF6、SF3、SF1が順に出現する。第2副画面106では、1フレーム期間内にサブフレーム期間SF5、SF4、SF2が順に出現する。

【0122】なお、サブフレーム期間SF1～SF6は、1～6ビット目のデジタルビデオ信号にそれぞれ対応している。

【0123】第1副画面105においてサブフレーム期間SF6が開始されるタイミングと、第2副画面106においてサブフレーム期間SF5が開始されるタイミングは同じである。同様に、第1副画面105においてサブフレーム期間SF3が開始されるタイミングと、第2副画面106においてサブフレーム期間SF4が開始されるタイミングは同じである。同様に、第1副画面105においてサブフレーム期間SF1が開始されるタイミングと、第2副画面106においてサブフレーム期間SF2が開始されるタイミングは同じである。

【0124】本実施例では、SF1：SF2：SF3：SF4：SF5：SF6＝2<sup>5</sup>：2<sup>4</sup>：2<sup>3</sup>：2<sup>2</sup>：2<sup>1</sup>：2<sup>0</sup>となっている。このサブフレーム期間の組み合わせで2<sup>6</sup>階調のうちの所望の階調表示を行うことができる。なおnビットのデジタルビデオ信号を用いて駆動を行うとき、各ビットに対応するサブフレーム期間の長さの比は、2<sup>5</sup>：2<sup>4</sup>：…：2<sup>0</sup>となる。

【0125】サブフレーム期間の出現する順序や、各副画面において出現するサブフレーム期間の対応するビットは、設計者が適宜選択可能である。

【0126】本発明の発光装置では、画面が有する複数の副画面のそれぞれにおいて出現するサブフレーム期間において、各副画面の発光素子が発光するかしないかで階調表示を行っている。そのため、副画面を設けない一般的な発光装置で時間分割駆動を行う場合に比べて、サブフレーム期間が短くなるのを抑えることができる。よって、サブフレーム期間の数が増加しても、ソース信号線駆動回路の駆動周波数が高くなるのを抑えることができる。したがって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数が高い画像を表示することが可能になる。

【0127】なお本発明は6ビットのデジタルビデオ信

号のみ用いることができるわけではない。対応するビット数は、設計者が適宜設定することが可能である。

【0128】本実施例は、実施例1と自由に組み合わせて実施することが可能である。

【0129】(実施例3)本実施例では、図1(B)に示した構成を有する本発明の発光装置において、8ビットのデジタルビデオ信号を用いて表示を行った場合につ

副画素1	SF8_1(42)	SF2(2)	SF6_1(16)	SF7_2(32)	SF8_3(43)	SF1(1)
副画素2	SF4(8)	SF7_1(32)	SF8_2(43)	SF3(4)	SF5(16)	SF6_2(16)

【0132】第1副画素105では、1フレーム期間内にサブフレーム期間SF8\_1、SF2、SF6\_1、SF7\_2、SF8\_3、SF1が順に出現する。第2副画素106では、1フレーム期間内にサブフレーム期間SF4、SF7\_1、SF8\_2、SF3、SF5、SF6\_2が順に出現する。

【0133】なお、サブフレーム期間SF1～SF5は、1～5ビット目のデジタルビデオ信号にそれぞれ対応している。また、サブフレーム期間SF6\_1と、SF6\_2は共に6ビット目のデジタルビデオ信号に対応している。また、サブフレーム期間SF7\_1と、SF7\_2は共に7ビット目のデジタルビデオ信号に対応している。また、サブフレーム期間SF8\_1と、SF8\_2と、SF8\_3は共に8ビット目のデジタルビデオ信号に対応している。

【0134】第1副画素105においてサブフレーム期間SF8\_1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF4が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF2が開始されるタイミングと、第2副画素106においてサブフレーム期間SF7\_1が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF6\_1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF8\_2が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF7\_2が開始されるタイミングと、第2副画素106においてサブフレーム期間SF3が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF8\_3が開始されるタイミングと、第2副画素106においてサブフレーム期間SF5が開始されるタイミングは同じである。同様に、第1副画素105においてサブフレーム期間SF1が開始されるタイミングと、第2副画素106においてサブフレーム期間SF6\_2が開始されるタイミングは同じである。

【0135】本実施例では、SF1:SF2:SF3:SF4:SF5:(SF6\_1+SF6\_2):SF(SF7\_1+SF7\_2):(SF8\_1+SF8\_2+SF8\_3)=2<sup>8</sup>:2<sup>1</sup>:2<sup>1</sup>:2<sup>3</sup>:2<sup>4</sup>:2<sup>1</sup>:2

いて説明する。

【0130】表3に、各副画素において出現するサブフレーム期間の出現する順序と、長さの比を示す。なお括弧内の数字は当該サブフレーム期間の、他のサブフレーム期間に対する長さの比に相当する。

【0131】

【表3】

2<sup>8</sup>:2<sup>1</sup>となっている。このサブフレーム期間の組み合わせで2<sup>8</sup>階調のうちの所望の階調表示を行うことができる。なおnビットのデジタルビデオ信号を用いて駆動を行うとき、各ビットに対応するサブフレーム期間の長さの比は、2<sup>0</sup>:2<sup>1</sup>:…:2<sup>(n-1)</sup>となる。

【0136】サブフレーム期間の出現する順序や、各副画素において出現するサブフレーム期間の対応するビットは、設計者が適宜選択可能である。

【0137】なお本実施例では、6ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF6\_1とSF6\_2の2つに分割している。また、7ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF7\_1とSF7\_2の2つに分割している。また、8ビット目のデジタルビデオ信号に対応するサブフレーム期間を、SF8\_1とSF8\_2とSF8\_3の3つに分割している。しかし本発明において分割するサブフレーム期間が対応するデジタルビデオ信号のビット数は、必ずしもこれに限定されない。

【0138】分割するサブフレーム期間は1つでも複数でも良い。ただし上位ビットに対応するサブフレーム期間、言いかえると長さの長いサブフレーム期間から順に分割することが好ましい。

【0139】また、サブフレーム期間の分割数は設計者が適宜選択可能であるが、いくつまで分割するかは、発光装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0140】また同じビットのデジタルビデオ信号に対応する、分割したサブフレーム期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割したサブフレーム期間の長さは必ずしも同じである必要はない。

【0141】また分割数もこれに限定されない。そして、サブフレーム期間を分割し、分割したサブフレーム期間同士が同じ副画素において連続して出現しないように、間に他のサブフレーム期間または表示を行わない期間(非表示期間)を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

【0142】上記構成により、動画擬似輪郭の発生を防ぐことができる。ただし、本発明はこの構成に限定され

ず、必ずしも分割する必要はない。

【0143】また、サブフレーム期間を分割すること  
で、サブフレーム期間どうしの長さの差を縮めることが  
できる。よって同じ画素が有する複数の副画素のそれぞ  
れにおいて同時に開始されるサブフレーム期間の長さの  
差を縮めることができ、1フレーム期間における非表示  
期間の長さを短くし、コントラストを高めることもでき  
る。

【0144】本発明の発光装置では、画素が有する複数  
の副画素のそれぞれにおいて出現するサブフレーム期間  
において、各副画素の発光素子が発光するかしないかで  
階調表示を行っている。そのため、副画素を設けない一  
般的な発光装置で時間分割駆動を行う場合に比べて、サ  
ブフレーム期間が短くなるのを抑えることができる。よ  
って、サブフレーム期間の数が増加しても、ソース信号  
線駆動回路の駆動周波数が高くなるのを抑えることが  
できる。したがって、フレーム周波数を落とさず、なおかつ  
ソース信号線駆動回路の駆動周波数が高くなるのを抑

	第1フレーム期間		第2フレーム期間	
副画素1	SF3(4)	SF1(1)	SF4 1(4)	SF2(2)
副画素2	SF4 1(4)	SF2(2)	SF4 2(4)	SF3(4)

【0150】第1副画素105では、先に出現する第1  
フレーム期間内に、サブフレーム期間SF3、SF1が  
順に出現する。第2副画素106では、先に出現する第  
1フレーム期間内に、サブフレーム期間SF4 1、S  
F2、SF4 2が順に出現する。

【0151】また、第1副画素105では、後に出現す  
る第2フレーム期間内に、サブフレーム期間SF4 1、  
SF2、SF4 2が順に出現する。第2副画素106では、  
後に出現する第2フレーム期間内に、サブ  
フレーム期間SF3、SF1が順に出現する。

【0152】なお、サブフレーム期間SF1～SF3  
は、1～3ビット目のデジタルビデオ信号にそれぞれ対  
応している。また、サブフレーム期間SF4 1と、S  
F4 2は、共に4ビット目のデジタルビデオ信号に対  
応している。

【0153】サブフレーム期間SF3が開始されるタイ  
ミングと、サブフレーム期間SF4 1が開始されるタイ  
ミングは同じである。また、サブフレーム期間SF1  
が開始されるタイミングと、サブフレーム期間SF2が  
開始されるタイミングは同じである。また、片方の副画  
素においてサブフレーム期間SF4 2が出現している  
とき、もう片方の副画素において非表示BFが出現して  
いる。

【0154】本実施例では、SF1：SF2：SF3：  
(SF4 1+SF4 2) = 2<sup>1</sup>：2<sup>1</sup>：2<sup>1</sup>：2<sup>2</sup>とな  
っている。このサブフレーム期間の組み合わせで2<sup>2</sup>階  
調のうち所望の階調表示を行うことができる。

【0155】本実施例では、各副画素において出現する

えつつ、階調数が高い画像を表示することが可能にな  
る。

【0145】なお本発明は8ビットのデジタルビデオ信  
号のみ用いることができるわけではない。対応するビッ  
ト数は、設計者が適宜設定することが可能である。

【0146】本実施例は、実施例1と自由に組み合わせ  
て実施することが可能である。

【0147】(実施例4) 本実施例では、図1(B)に  
示した構成を有する本発明の発光装置において、各副画  
素において出現するサブフレーム期間を、フレーム期間  
毎に互いに入れ替える場合について説明する。

【0148】表4に、各副画素において出現するサブフ  
レーム期間の出現する順序と、長さの比を示す。なお括  
弧内の数字は当該サブフレーム期間の、他のサブフ  
レーム期間に対する長さの比に相当する。

【0149】

【表4】

サブフレーム期間を、フレーム期間毎に互いに入れ替え  
ており、これによって各副画素が有する発光素子の発光  
する期間を、互いに同じぐらいにすることができる。

【0156】なお、本実施例においてサブフレーム期間  
の出現する順序や、各副画素において出現するサブフ  
レーム期間の対応するビットは、設計者が適宜選択可能で  
ある。

【0157】また、本実施例では4ビット目のデジタル  
ビデオ信号に対応するサブフレーム期間を、SF4 1と  
SF4 2の2つに分割している。しかし本実施例に  
おいて分割するサブフレーム期間が対応するデジタルビ  
デオ信号のビット数は、必ずしもこれに限定されない。  
また分割数もこれに限定されない。

【0158】分割するサブフレーム期間は1つでも複数  
でも良い。ただし上位ビットに対応するサブフレーム期  
間、言いかえると長さの長いサブフレーム期間から順に  
分割することが好ましい。

【0159】また、サブフレーム期間の分割数は設計者  
が適宜選択可能であるが、いくつまで分割するかは、発  
光装置の駆動速度と、要求される画像の表示品質とのパ  
ランスによって決めるのが好ましい。

【0160】なお本実施例は4ビットのデジタルビデオ  
信号のみ用いることができるわけではない。対応するビ  
ット数は、設計者が適宜設定することが可能である。

【0161】本実施例は、実施例1～3と自由に組み合  
わせて実施することが可能である。

【0162】(実施例5) 本実施例では、本発明の発光  
装置において、図1(B)に示したのとは異なる構成の

画素について、図 8 を用いて説明する。

【0163】図 8 に本実施例の画素の回路図を示す。画素 304 が有する第 1 副画素 305 と第 2 副画素 306 は、1 つの電源供給線  $V_{-i}$  ( $i$  は  $1 \sim x$  の任意の数) を共有している。

【0164】また、第 1 副画素 305 と第 2 副画素 306 は、異なるソース信号線を 1 つずつ有しており、本実施例では、第 1 副画素 305 が有するソース信号線を第 1 ソース信号線  $SL_{-i}$  ( $i$  は  $1 \sim x$  の任意の数)、第 2 副画素 306 が有するソース信号線を第 2 ソース信号線  $SR_{-i}$  ( $i$  は  $1 \sim x$  の任意の数) とする。

【0165】また、第 1 副画素 305 と第 2 副画素 306 は、異なる書き込み用ゲート信号線を 1 つずつ有しており、本実施例では、第 1 副画素 305 が有する書き込み用ゲート信号線を第 1 書き込み用ゲート信号線  $Gal_{-j}$  ( $j$  は  $1 \sim y$  の任意の数)、第 2 副画素 306 が有する書き込み用ゲート信号線を第 2 書き込み用ゲート信号線  $GAr_{-j}$  ( $j$  は  $1 \sim y$  の任意の数) とする。

【0166】また、第 1 副画素 305 と第 2 副画素 306 は、異なる消去用ゲート信号線を 1 つずつ有しており、本実施例では、第 1 副画素 305 が有する消去用ゲート信号線を第 1 消去用ゲート信号線  $GeL_{-j}$  ( $j$  は  $1 \sim y$  の任意の数)、第 2 副画素 306 が有する消去用ゲート信号線を第 2 消去用ゲート信号線  $GeR_{-j}$  ( $j$  は  $1 \sim y$  の任意の数) とする。

【0167】また各副画素は、それぞれスイッチング用  $TFT310$ 、駆動用  $TFT311$ 、消去用  $TFT312$ 、発光素子 313、コンデンサ 314 を有している。

【0168】各副画素が有するスイッチング用  $TFT310$  のゲート電極は、各副画素が有する書き込み用ゲート信号線  $Ga_{-j}$  に接続されている。本実施例の場合、第 1 副画素 305 が有するスイッチング用  $TFT310$  のゲート電極は、第 1 書き込み用ゲート信号線  $Gal_{-j}$  に接続されている。また、第 2 副画素 306 が有するスイッチング用  $TFT310$  のゲート電極は、第 2 書き込み用ゲート信号線  $GAr_{-j}$  に接続されている。

【0169】また各副画素が有するスイッチング用  $TFT310$  のソース領域とドレイン領域は、一方は各副画素が有するソース信号線に、もう一方は各副画素が有する駆動用  $TFT311$  のゲート電極に接続されている。本実施例の場合、第 1 副画素 305 が有するスイッチング用  $TFT310$  のソース領域とドレイン領域は、一方は第 1 ソース信号線  $SL_{-i}$  に、もう一方は第 1 副画素 305 が有する駆動用  $TFT311$  のゲート電極に接続されている。また、第 2 副画素 306 が有するスイッチング用  $TFT310$  のソース領域とドレイン領域は、一方は第 2 ソース信号線  $SR_{-i}$  に、もう一方は第 2 副画素 306 が有する駆動用  $TFT311$  のゲート電極に接続されている。

【0170】各副画素が有する駆動用  $TFT311$  のソ

ース領域は電源供給線  $V_{-i}$  に、ドレイン領域は各副画素が有する発光素子 313 の画素電極にそれぞれ接続されている。

【0171】また、各副画素が有する消去用  $TFT312$  は、各副画素が有する消去用ゲート信号線にそれぞれ接続されている。本実施例の場合、第 1 副画素 305 が有する消去用  $TFT312$  のゲート電極は、第 1 消去用ゲート信号線  $GeL_{-j}$  に接続されており、第 2 副画素 306 が有する消去用  $TFT312$  のゲート電極は、第 2 消去用ゲート信号線  $GeR_{-j}$  に接続されている。

【0172】また各副画素が有する消去用  $TFT312$  のソース領域とドレイン領域は、一方は電源供給線  $V_{-i}$  に、もう一方は各副画素が有する駆動用  $TFT311$  のゲート電極に接続されている。

【0173】本実施例では、書き込み期間において第 1 書き込み用ゲート信号線  $Gal_{-j}$  と第 2 書き込み用ゲート信号線  $GAr_{-j}$  が同時に選択される。

【0174】本実施例では、図 1 (B) に示した構成に比べ、1 つの書き込み用ゲート信号線に接続されているスイッチング用  $TFT$  の数が半分になる。よって書き込み用ゲート信号線の負荷が小さくなるので、該信号線を選択する際の応答速度が早くなる。

【0175】本実施例は、実施例 1~4 と自由に組み合わせて実施することが可能である。

【0176】(実施例 6) 本実施例では、本発明の発光装置において、各画素に副画素が 3 つずつ設けられている場合について説明する。

【0177】図 9 を用いて、本発明の発光装置の構造について説明する。図 9 (A) は本発明の発光装置に含まれる表示用パネルのブロック図である。基板 (図示せず) 上に、画素部 400 と、ソース信号線駆動回路 401 と、書き込み用ゲート信号線駆動回路 402 と、消去用ゲート信号線駆動回路 403 とが設けられている。

【0178】なお、本実施例では、画素部 400 と、駆動回路群 (ソース信号線駆動回路 401、書き込み用ゲート信号線駆動回路 402 及び消去用ゲート信号線駆動回路 403 が含まれる) とが同一基板上に形成されているが、本発明はこの構成に限定されない。画素部 400 と駆動回路群とが異なる基板上に形成され、FPC 等のコネクタを介して互いに接続されていてもよい。

【0179】また、ソース信号線駆動回路 401 とゲート信号線駆動回路 (書き込み用ゲート信号線駆動回路 402 及び消去用ゲート信号線駆動回路 403 が含まれる) の数は、図 9 (A) に示した数に限定されない。ソース信号線駆動回路 401 は 1 つ以上設けられれば良い。またゲート信号線駆動回路も 1 つ以上設けられれば良い。書き込み用ゲート信号線駆動回路 402 と消去用ゲート信号線駆動回路 403 とを、1 つのゲート信号線駆動回路で代用しても良い。

【0180】画素部 400 には複数の画素 404 がマト



リクス状に設けられており、各画素 404 は複数の副画素を有している。なお各画素が有する副画素の数は、作製が可能な限りいくつでも良い。本実施例では 1 つの画素 404 が第 1 副画素 405 と、第 2 副画素 406 と、第 3 副画素 407 の 3 つの副画素を有している。

【0181】図 9 (B) に画素の回路図を示す。画素 404 が有する第 1 副画素 405 と、第 2 副画素 406 と、第 3 副画素 407 は、1 つの電源供給線  $V_{-}i$  ( $i$  は  $1 \sim x$  の任意の数) と、1 つの書き込み用ゲート信号線  $G_{a-}j$  ( $j$  は  $1 \sim y$  の任意の数) とを共有している。

【0182】また、第 1 副画素 405 と、第 2 副画素 406 と、第 3 副画素 407 は、異なるソース信号線を 1 つずつ有しており、本実施例では、第 1 副画素 405 が有するソース信号線を第 1 ソース信号線  $SL_{-}i$  ( $i$  は  $1 \sim x$  の任意の数)、第 2 副画素 406 が有するソース信号線を第 2 ソース信号線  $SR_{-}i$  ( $i$  は  $1 \sim x$  の任意の数)、第 3 副画素 407 が有するソース信号線を第 3 ソース信号線  $ST_{-}i$  ( $i$  は  $1 \sim x$  の任意の数) とする。

【0183】また、第 1 副画素 405 と、第 2 副画素 406、第 3 副画素 407 は、異なる消去用ゲート信号線を 1 つずつ有しており、本実施例では、第 1 副画素 405 が有する消去用ゲート信号線を第 1 消去用ゲート信号線  $GeL_{-}j$  ( $j$  は  $1 \sim y$  の任意の数)、第 2 副画素 406 が有する消去用ゲート信号線を第 2 消去用ゲート信号線  $GeR_{-}j$  ( $j$  は  $1 \sim y$  の任意の数)、第 3 副画素 407 が有する消去用ゲート信号線を第 3 消去用ゲート信号線  $GeT_{-}j$  ( $j$  は  $1 \sim y$  の任意の数) とする。

【0184】また各副画素は、それぞれスイッチング用 TFT 410、駆動用 TFT 411、消去用 TFT 412、発光素子 413、コンデンサ 414 を有している。

【0185】各副画素が有するスイッチング用 TFT 410 のゲート電極は、書き込み用ゲート信号線  $G_{a-}j$  に接続されている。また各副画素が有するスイッチング用 TFT 410 のソース領域とドレイン領域は、一方は第 1 ソース信号線  $SL_{-}i$  に、もう一方は第 1 副画素 405 が有する駆動用 TFT 411 のゲート電極に接続されている。また、第 2 副画素 406 が有するスイッチング用 TFT 410 のソース領域とドレイン領域は、一方は第 2 ソース信号線  $SR_{-}i$  に、もう一方は第 2 副画素 406 が有する駆動用 TFT 411 のゲート電極に接続されている。また、第 3 副画素 407 が有するスイッチング用 TFT 410 のソース領域とドレイン領域は、一方は第 3 ソース信号線  $ST_{-}i$  に、もう一方は第 3 副画素 407 が有する駆動用 TFT 411 のゲート電極に接続されている。

ト電極に接続されている。

【0186】各副画素が有する駆動用 TFT 411 のソース領域は電源供給線  $V_{-}i$  に、ドレイン領域は各副画素が有する発光素子 413 の画素電極にそれぞれ接続されている。

【0187】また、各副画素が有する消去用 TFT 412 は、各副画素が有する消去用ゲート信号線にそれぞれ接続されている。本実施例の場合、第 1 副画素 405 が有する消去用 TFT 412 のゲート電極は、第 1 消去用ゲート信号線  $GeL_{-}j$  に接続されており、第 2 副画素 406 が有する消去用 TFT 412 のゲート電極は、第 2 消去用ゲート信号線  $GeR_{-}j$  に接続されている。また、第 3 副画素 407 が有する消去用 TFT 412 のゲート電極は、第 3 消去用ゲート信号線  $GeT_{-}j$  に接続されている。

【0188】また各副画素が有する消去用 TFT 412 のソース領域とドレイン領域は、一方は電源供給線  $V_{-}i$  に、もう一方は各副画素が有する駆動用 TFT 411 のゲート電極に接続されている。

【0189】このように本発明では、各画素が有する副画素の数を任意に設定することが可能である。副画素の数が多ければ多いほど、サブフレーム期間の長さを抑えることができる。

【0190】本実施例は、実施例 1 ~ 5 と自由に組み合わせることで実施することが可能である。

【0191】(実施例 7) 本実施例では、本発明の発光装置の駆動回路群に含まれる、ソース信号線駆動回路、書き込み用ゲート信号線駆動回路及び消去用ゲート信号線駆動回路の詳しい構成について説明する。

【0192】図 10 に本実施例の発光装置の駆動回路のブロック図を示す。図 10 (A) はソース信号線駆動回路 601 であり、シフトレジスタ 602、ラッチ (A) 603、ラッチ (B) 604 を有している。

【0193】ソース信号線駆動回路 601 において、シフトレジスタ 602 にクロック信号 (CLK) およびスタートパルス (SP) が入力される。シフトレジスタ 602 は、これらのクロック信号 (CLK) およびスタートパルス (SP) に基づきタイミング信号を順に発生させ、バッファ等 (図示せず) を通して後段の回路へタイミング信号を順次入力する。

【0194】シフトレジスタ 602 からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりでの「鈍り」を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0195】バッファによって緩衝増幅されたタイミング信号は、ラッチ (A) 603 に入力される。ラッチ

(A) 603は、nビットデジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ (A) 603は、前記タイミング信号が入力されると、ソース信号線駆動回路 601の外部から入力されるnビットのデジタルビデオ信号を順次取り込み、保持する。

【0196】なお、ラッチ (A) 603にデジタルビデオ信号を取り込む際に、ラッチ (A) 603が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ (A) 603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0197】ラッチ (A) 603の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0198】1ライン期間が終了すると、ラッチ (B) 604にラッチシグナル (latch signal) が入力される。この瞬間、ラッチ (A) 603に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 604に一齐に送出され、ラッチ (B) 604の全ステージのラッチに書き込まれ、保持される。

【0199】デジタルビデオ信号をラッチ (B) 604に送出し終えたラッチ (A) 603には、シフトレジスタ 602からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0200】この2順目の1ライン期間中には、ラッチ (B) 604に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0201】図10(B)は書き込み用ゲート信号線駆動回路の構成を示すブロック図である。

【0202】書き込み用ゲート信号線駆動回路 605は、それぞれシフトレジスタ 606、バッファ 607を有している。また場合によってはレベルシフトを有しても良い。

【0203】書き込み用ゲート信号線駆動回路 605において、シフトレジスタ 606からのタイミング信号がバッファ 607に入力され、対応する書き込み用ゲート信号線 (第1書き込み用ゲート信号線と第2書き込み用ゲート信号線を含む) に入力される。書き込み用ゲート信号線には、1ライン分の画素のスイッチング用 TFT のゲート電極が接続されている。そして、1ライン分の画素のスイッチング用 TFT を一齐に ON にしないといけないので、バッファは大きな電流を流すことが可能なものを用いられる。

【0204】なお消去用ゲート信号線駆動回路は書き込

み用ゲート信号線駆動回路の構成と同じであるので、図10(B)を参照する。ただし消去用ゲート信号線駆動回路の場合、バッファからの出力は消去用ゲート信号線 (第1消去用ゲート信号線と第2消去用ゲート信号線を含む) に入力される。また消去用ゲート信号線には、1ライン分の画素の消去用 TFT のゲート電極が接続されている。そして、1ライン分の画素の消去用 TFT を一齐に ON にしないといけないので、バッファは大きな電流を流すことが可能なものを用いられる。

【0205】本実施例は実施例 1~6 と自由に組み合わせることで実施することが可能である。

【0206】(実施例 8) 本発明の発光装置が有する TFT の作製方法の一例について、図 11~図 13 を用いて説明する。ここでは、本発明の発光装置の画素部に設けられたスイッチング用 TFT および駆動用 TFT と、画素部の周辺に設けられる駆動部の TFT を同時に作製する方法について、工程に従って詳細に説明する。また消去用 TFT は、スイッチング用 TFT と同様に作製することができるので、ここでは説明を省略した。

【0207】まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 900 を用いる。なお、基板 900 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。

【0208】次いで、図 11 (A) に示すように、基板 900 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 901 を形成する。本実施例では下地膜 901 として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜 901 の一層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化珪素膜 901a を  $10 \sim 200 \text{ nm}$  (好ましくは  $50 \sim 100 \text{ nm}$ ) 形成する。本実施例では、膜厚  $50 \text{ nm}$  の酸化窒化珪素膜 901a (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$ ) を形成した。次いで、下地膜 901 の二層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化珪素膜 901b を  $50 \sim 200 \text{ nm}$  (好ましくは  $100 \sim 150 \text{ nm}$ ) の厚さに積層形成する。本実施例では、膜厚  $100 \text{ nm}$  の酸化窒化珪素膜 901b (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ) を形成した。

【0209】次いで、下地膜 901 上に半導体層 902~905 を形成する。半導体層 902~905 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により成膜した後、公知の結晶化処理 (レーザー結晶化法、熱結晶化

法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターンニングして形成する。この半導体層902~905の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}$ ; ( $x=0.0001\sim0.02$ ))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターンニング処理によって、半導体層902~905を形成した。

【0210】また、半導体層902~905を形成した後、TFTのしきい値を制御するために、半導体層902~905に微量な不純物元素(ボロンまたはリン)をドーピングしてもよい。

【0211】また、レーザ結晶化法で結晶質半導体膜を製作する場合には、パルス発振型または連続発光型のエキシマレーザやYAGレーザ、YVO<sub>4</sub>レーザを用いることができる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザ光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザエネルギー密度を100~400mJ/cm<sup>2</sup>(代表的には200~300mJ/cm<sup>2</sup>)とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザエネルギー密度を300~600mJ/cm<sup>2</sup>(代表的には350~500mJ/cm<sup>2</sup>)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光しレーザ光を基板全面に渡って照射し、この時の線状レーザ光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

【0212】次いで、半導体層902~905を覆うゲート絶縁膜906を形成する。ゲート絶縁膜906はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0213】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度30

0~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができ。

【0214】そして、ゲート絶縁膜906上にゲート電極を形成するための耐熱性導電層907を200~400nm(好ましくは250~350nm)の厚さで形成する。耐熱性導電層907は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図ることに含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良い。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、6フッ化タングステン(WF<sub>6</sub>)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率を図ることができ、W中に酸素などの不純物元素が多い場合には結晶化が阻害され低抵抗化する。このことより、スパッタ法による場合、純度99.99%または99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができる。

【0215】一方、耐熱性導電層907にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、スパッタ時のガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きであった。TaAN膜はα相に近い結晶構造を持つので、Ta膜の下地にTaAN膜を形成すればα相のTa膜が容易に得られる。また、図示しないが、耐熱性導電層907の下に2~20nm程度の厚さでリン(P)をドーパしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層907が微量に含有するアルカリ金属元素が第1の形状のゲート絶縁膜906に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層907は抵抗率が10~50μΩcmの範囲であることが好ましい。

【0216】次に、フォトリソグラフィの技術を使用

してレジストによるマスク 908 を形成する。そして、第 1 のエッチング処理を行う。本実施例では ICP エッチング装置を用い、エッチング用ガスに  $\text{Cl}_1$  と  $\text{CF}_4$  を用い、1 Pa の圧力で  $3.2 \text{ W/cm}^2$  の RF (13.56 MHz) 電力を投入してプラズマを形成して行う。基板側 (試料ステージ) にも  $22.4 \text{ mW/cm}^2$  の RF (13.56 MHz) 電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件で W 膜のエッチング速度は約  $100 \text{ nm/min}$  である。第 1 のエッチング処理はこのエッチング速度を基に W 膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を 20% 増加させた時間をエッチング時間とした。

【0217】第 1 のエッチング処理により第 1 のテーパ形状を有する導電層 909~912 が形成される。導電層 909~912 のテーパ部の角度は  $15 \sim 30^\circ$  となるように形成される。残渣を残すことなくエッチングするためには、10~20% 程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 906) の選択比は 2~4 (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出する面は  $20 \sim 50 \text{ nm}$  程度エッチングされる。

(図 11 (B))

【0218】そして、第 1 のドーピング処理を行い n 型導電型の不純物元素を半導体層に添加する。ここでは、n 型を付与する不純物元素添加の工程を行う。第 1 の形状の導電層を形成したマスク 908 をそのまま残し、第 1 のテーパ形状を有する導電層 909~912 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドーピング法で添加する。n 型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜 906 とを通して、その下に位置する半導体層に達するように添加するためにドーピング量を  $1 \times 10^{11} \sim 5 \times 10^{11} \text{ atoms/cm}^2$  とし、加速電圧を  $80 \sim 160 \text{ keV}$  として行う。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。このようなイオンドーピング法により第 1 の不純物領域 914~917 には  $1 \times 10^{11} \sim 1 \times 10^{11} \text{ atoms/cm}^2$  の濃度範囲で n 型を付与する不純物元素が添加される。(図 11 (C))

【0219】この工程において、ドーピングの条件によっては、不純物が第 1 の形状の導電層 909~912 の下に回りこみ、第 1 の不純物領域 914~917 が第 1 の形状の導電層 909~912 と重なることも起こりうる。

【0220】次に、図 11 (D) に示すように第 2 のエッチング処理を行う。エッチング処理も同様に ICP エッチング装置により行い、エッチングガスに  $\text{CF}_4$  と C

$\text{I}_1$  の混合ガスを用い、RF 電力  $3.2 \text{ W/cm}^2$  (13.56 MHz)、バイアス電力  $45 \text{ mW/cm}^2$  (13.56 MHz)、圧力  $1.0 \text{ Pa}$  でエッチングを行う。この条件で形成される第 2 の形状を有する導電層 918~921 が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第 1 のエッチング処理と比較して基板側に印加するバイアス電力を低くした分平方性エッチングの割合が多くなり、テーパ部の角度は  $30 \sim 60^\circ$  となる。マスク 908 はエッチングされて端部が削れ、マスク 922 となる。また、図 11 (D) の工程において、ゲート絶縁膜 906 の表面が  $40 \text{ nm}$  程度エッチングされる。

【0221】そして、第 1 のドーピング処理よりもドーピング量を下げ高加速電圧の条件で n 型を付与する不純物元素をドーピングする。例えば、加速電圧を  $70 \sim 120 \text{ keV}$  とし、 $1 \times 10^{11} \text{ atoms/cm}^2$  のドーピング量で行い、不純物濃度が大きくなった第 1 の不純物領域 924~927 と、前記第 1 の不純物領域 924~927 に接する第 2 の不純物領域 928~931 とを形成する。この工程において、ドーピングの条件によっては、不純物が第 2 の形状の導電層 918~921 の下に回りこみ、第 2 の不純物領域 928~931 が第 2 の形状の導電層 918~921 と重なることも起こりうる。第 2 の不純物領域における不純物濃度は、 $1 \times 10^{11} \sim 1 \times 10^{11} \text{ atoms/cm}^2$  となるようにする。(図 12 (A))

【0222】そして、図 12 (B) に示すように、p チャネル型 TFT を形成する半導体層 902、905 に n 型導電型とは逆の導電型の不純物領域 933 (933a、933b) 及び 934 (934a、934b) を形成する。この場合も第 2 の形状の導電層 918、921 をマスクとして p 型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、n チャネル型 TFT を形成する半導体層 903、904 は、レジストのマスク 932 を形成し全面を被覆しておく。ここで形成される不純物領域 933、934 はジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドーピング法で形成する。不純物領域 933、934 の p 型を付与する不純物元素の濃度は、 $2 \times 10^{18} \sim 2 \times 10^{18} \text{ atoms/cm}^2$  となるようにする。

【0223】しかしながら、この不純物領域 933、934 は詳細には n 型を付与する不純物元素を含有する 2 つの領域に分けて見ることが出来る。第 3 の不純物領域 933a、934a は  $1 \times 10^{11} \sim 1 \times 10^{11} \text{ atoms/cm}^2$  の濃度で n 型を付与する不純物元素を含み、第 4 の不純物領域 933b、934b は  $1 \times 10^{11} \sim 1 \times 10^{11} \text{ atoms/cm}^2$  の濃度で n 型を付与する不純物元素を含んでいる。しかし、これらの第 4 の不純物領域 933b、934b の p 型を付与する不純物元素の濃度を  $1 \times 10^{18} \text{ atoms/cm}^2$  以上となるように

し、第3の不純物領域933a、934aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0224】その後、図12(C)に示すように、第2の形状を有する導電層918〜921およびゲート絶縁膜906上に第1の層間絶縁膜937を形成する。第1の層間絶縁膜937は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜937は無機絶縁物材料から形成する。第1の層間絶縁膜937の膜厚は100〜200nmとする。第1の層間絶縁膜937として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSとO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300〜400℃とし、高周波(13.56MHz)電力密度0.5〜0.8W/cm<sup>2</sup>で放電させて形成することができる。また、第1の層間絶縁膜937として酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20〜200Pa、基板温度300〜400℃とし、高周波(60MHz)電力密度0.1〜1.0W/cm<sup>2</sup>で形成することができる。また、第1の層間絶縁膜937としてSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

【0225】そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400〜700℃、代表的には500〜600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板501に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0226】活性化の工程に続いて、雰囲気ガスを変化させ、3〜100%の水素を含む雰囲気中で、300〜450℃で1〜2時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある10<sup>14</sup>〜10<sup>17</sup>/cm<sup>3</sup>のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、半導体層9

02〜905中の欠陥密度を10<sup>14</sup>/cm<sup>3</sup>以下とすることが望ましく、そのために水素を0.01〜0.1atomic%程度付与すれば良い。

【0227】そして、有機絶縁物材料からなる第2の層間絶縁膜939を1.0〜2.0μmの平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0228】このように、第2の層間絶縁膜939を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜937として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0229】その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されるソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスにCF<sub>4</sub>、O<sub>2</sub>、Heの混合ガスを用い有機樹脂材料からなる第2の層間絶縁膜939をまずエッチングし、その後、続いてエッチングガスをCF<sub>4</sub>、O<sub>2</sub>として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスをCHF<sub>3</sub>に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0230】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターンニングし、その後エッチングすることで、ソース配線940〜943とドレイン配線944〜946を形成する。図示していないが、本実施例ではこの配線を、そして、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜で形成した。

【0231】次いで、その上に透明導電膜を80〜120nmの厚さで形成し、パターンニングすることによって画素電極947を形成する(図13(A))。なお、本実施例では、透明電極として酸化インジウム・スズ(IZO)膜や酸化インジウム(IZO)の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。

【0232】また、画素電極947は、ドレイン配線946と接して重ねて形成することによって駆動用TFT

963のドレイン領域と電気的な接続が形成される。

【0233】次に、図13(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜949を形成する。第3の層間絶縁膜949は絶縁性を有していて、バンクとして機能し、隣接する画素の有機化合物層を分離する役割を有している。本実施例ではレジストを用いて第3の層間絶縁膜949を形成する。

【0234】本実施例では、第3の層間絶縁膜949の厚さを1 $\mu$ m程度とし、開口部は画素電極947に近くなればなるほど広くなる、所謂逆テーパー状になるように形成する。これはレジストを成膜した後も、開口部を形成しようとする部分以外をマスクで覆い、UV光を照射して露光し、露光された部分を現像液で除去することによって形成される。

【0235】本実施例のように、第3の層間絶縁膜949を逆テーパー状にすることで、後の工程において有機化合物層を成膜した時に、隣り合う画素同士で有機化合物層が分断されるため、有機化合物層と、第3の層間絶縁膜949の熱膨張係数が異なっても、有機化合物層がひび割れたり、剥離したりするのを抑えることができる。

【0236】なお、本実施例においては、第3の層間絶縁膜としてレジストでなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)、酸化珪素膜等を用いることもできる。第3の層間絶縁膜949は絶縁性を有する物質であれば、有機物と無機物のどちらでも良い。

【0237】次に、有機化合物層950を蒸着法により形成し、更に蒸着法により陰極(MgAg電極)951および保護電極952を形成する。このとき有機化合物層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例では発光素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0238】なお、有機化合物層950としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)でなる2層構造を有機化合物層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0239】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30~40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0240】また、保護電極952でも有機化合物層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極952の後に大気解放しないで連続的に形成しても構わない。

【0241】また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機化合物層950、陰極951は非常に水分に弱いのので、保護電極952までを大気解放しないで連続的に形成し、外気から有機化合物層を保護することが望ましい。

【0242】なお、有機化合物層950の膜厚は10~400[nm](典型的には60~150[nm])、陰極951の厚さは80~200[nm](典型的には100~150[nm])とすれば良い。

【0243】こうして図13(B)に示すような構造の発光装置が完成する。なお、画素電極947、有機化合物層950、陰極951の重なっている部分954が発光素子に相当する。

【0244】pチャネル型TFT960及びnチャネル型TFT961は駆動回路970が有するTFTであり、CMOSを形成している。スイッチング用TFT962及び駆動用TFT963は画素部971が有するTFTであり、駆動回路970のTFTと画素部971のTFTとは同一基板上に形成することができる。

【0245】なお、発光素子を用いた発光装置の場合、駆動回路の電源の電圧が5~6V程度、最大でも10V程度で十分なので、TFTにおいてホットエレクトロンによる劣化があまり問題にならない。また駆動回路を高速で動作させる必要があるため、TFTのゲート容量は小さいほうが好ましい。よって、本実施例のように、発光素子を用いた発光装置の駆動回路では、TFTの半導体層が有する第2の不純物領域929と、第4の不純物領域933bとが、それぞれゲート電極918、919と重ならない構成にするのが好ましい。

【0246】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作製することが可能である。

【0247】なお本実施例は、実施例1~7と自由に組み合わせて実施することが可能である。

【0248】(実施例9)本実施例では、実施例8とは異なる発光装置の作製方法について説明する。

【0249】第2の層間絶縁膜939を形成するまでの工程は、実施例5と同じである。図14(A)に示すように、第2の層間絶縁膜939を形成した後、第2の層間絶縁膜939に接するように、パッシベーション膜939を形成する。

【0250】パッシベーション膜939は、第2の層間絶縁膜939に含まれる水分が、画素電極947や、第3の層間絶縁膜982を介して、有機化合物層950に入るのを防ぐのに効果的である。第2の層間絶縁膜939が有機樹脂材料を有している場合、有機樹脂材料は水分を多く含むため、パッシベーション膜939を設けることは特に有効である。

【0251】本実施例では、パッシベーション膜939として、酸化珪素膜を用いた。

【0252】その後、所定のパターンレジストマスクを形成し、それぞれの半導体層に形成されるソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに $\text{CF}_4$ 、 $\text{O}_2$ 、 $\text{He}$ の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜939をまずエッチングし、その後、続いてエッチングガスを $\text{CF}_4$ 、 $\text{O}_2$ として第1の層間絶縁膜937をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを $\text{CHF}_3$ に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0253】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940～943とドレイン配線944～946を形成する。図示していないが、本実施例ではこの配線を、そして、膜厚50nmの $\text{Tl}$ 膜と、膜厚50nmの合金膜（ $\text{Al}$ と $\text{Tl}$ との合金膜）との積層膜で形成した。

【0254】次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターニングすることによって画素電極947を形成する（図14（A））。なお、本実施例では、透明電極として酸化インジウム・スズ（ $\text{ITO}$ ）膜や酸化インジウムに2～20[%]の酸化亜鉛（ $\text{ZnO}$ ）を混合した透明導電膜を用いる。

【0255】また、画素電極947は、ドレイン配線946と接して重ねて形成することによって駆動用TFTのドレイン領域と電気的な接続が形成される。

【0256】次に、図14（B）に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜982を形成する。本実施例では、開口部を形成する際、ウエットエッチング法を用いることでテーパー形状の側壁とした。実施例5に示した場合と異なり、第3の層間絶縁膜982上に形成される有機化合物層は分断されないため、開口部の側壁が十分になだらかなと段差に起因する有機化合物層の劣化が顕著な問題となってしまうため、注意が必要である。

【0257】なお、本実施例においては、第3の層間絶縁膜982として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用い

ることもできる。

【0258】そして、第3の層間絶縁膜982上に有機化合物層950を形成する前に、第3の層間絶縁膜982の表面にアルゴンを用いたプラズマ処理を施し、第3の層間絶縁膜982の表面を緻密化しておくのが好ましい。上記構成によって、第3の層間絶縁膜982から有機化合物層950に水分が入るのを防ぐことができる。

【0259】次に、有機化合物層950を蒸着法により形成し、更に蒸着法により陰極（ $\text{MgAg}$ 電極）951および保護電極952を形成する。このとき有機化合物層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例では発光素子の陰極として $\text{MgAg}$ 電極を用いるが、公知の他の材料であっても良い。

【0260】なお、有機化合物層950としては、公知の材料を用いることができる。本実施例では正孔輸送層（Hole transporting layer）及び発光層（Emitting layer）でなる2層構造を有機化合物層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0261】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30～40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0262】また、保護電極952でも有機化合物層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の酸化珪素膜を設ける。この保護膜も保護電極952の後に大気解放しなくても連続的に形成しても構わない。

【0263】また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機化合物層950、陰極951は非常に水分に弱いので、保護電極952までを大気解放しないで連続的に形成し、外気から有機化合物層を保護することが望ましい。

【0264】なお、有機化合物層950の膜厚は10～400[nm]（典型的には60～150[nm]）、陰極951の厚さは80～200[nm]（典型的には100～150[nm]）とすれば良い。

【0265】こうして図14（B）に示すような構造の発光装置が完成する。なお、画素電極947、有機化合物層950、陰極951の重なっている部分954が発光素子に相当する。

【0266】pチャネル型TFT960及びnチャネル型TFT961は駆動回路970が有するTFTであり、CMOSを形成している。スイッチング用TFT962及び駆動用TFT963は画素部971が有するTFTであり、駆動回路970のTFTと画素部971のTFTとは同一基板上に形成することができる。

【0267】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置が有するTFTは、公知の方法を用いて作製することが可能である。

【0268】なお本実施例は、実施例1〜8と自由に組み合わせることも可能である。

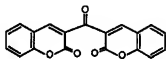
【0269】(実施例10) 本発明において、三重項励起子からの発光を利用できる有機化合物材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0270】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo, 1991) p.437.)

【0271】上記の論文により報告された有機化合物材料(クマリン色素)の分子式を以下に示す。

【0272】

【化1】

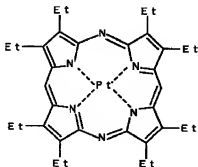


【0273】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0274】上記の論文により報告された有機化合物材料(Pt錯体)の分子式を以下に示す。

【0275】

【化2】



【0276】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, K.Yahiro, K.Nakamura, T.Watanabe, T.Tsuiji, Y.Fukuda, T.Wakimoto, S.Ma

yaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【0277】上記の論文により報告された有機化合物材料(Ir錯体)の分子式を以下に示す。

【0278】

【化3】



【0279】以上のように三重項励起子からの発光発光を利用できれば原理的には一重項励起子からの発光発光を用いる場合より3〜4倍の高い外部発光量子効率の実現が可能となる。

【0280】なお、本実施例の構成は、実施例1〜実施例9のいずれの構成とも自由に組み合わせることも可能である。

【0281】(実施例11) 本実施例では、本発明の発光装置を作製した例について、図15を用いて説明する。

【0282】図15(A)は、表面に発光素子やTFTが形成された基板(TFT基板)を、シーリング材によって封止することによって形成された発光装置の上面図であり、図15(B)は、図15(A)のA-A'における断面図、図15(C)は図15(A)のB-B'における断面図である。

【0283】基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、書き込み用及び消去用ゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、書き込み用及び消去用ゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、書き込み用及び消去用ゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0284】また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、書き込み用及び消去用ゲート信号線駆動回路4004a、bとは、複数のTFTを有している。図15(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれる駆動回路用TFT(発光素子への電流を制御するTFT)4202を図示した。TFT4201及び4202は下地膜4010上に形成される。



【0285】本実施例では、駆動回路用TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、駆動用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には駆動用TFT4202のゲートに接続された保持容量（図示せず）が設けられる。

【0286】駆動回路用TFT4201及び駆動用TFT4202上には層間絶縁膜（平坦化膜）4301が形成され、その上に駆動用TFT4202のドレイン領域と電気的に接続する画素電極（陽極）4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0287】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機化合物層4204が形成される。有機化合物層4204は、電場を加えることで発生するルミネッセンスが得られる公知の有機化合物材料または無機化合物材料を用いることができる。また、有機化合物材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0288】有機化合物層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機化合物層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせで積層構造または単層構造とすれば良い。

【0289】有機化合物層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と有機化合物層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機化合物層4204を窒素または希ガス雰囲気中形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0290】以上のようにして、画素電極（陽極）4203、有機化合物層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0291】4005aは電源供給線に接続された引き出し配線であり、駆動用TFT4202のソース領域に電気的に接続されている。引き出し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4401に電気的に接続される。

【0292】シーリング材4008としては、ガラス材、金属材料（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラフィルムで挟んだ構造のシートを用いることもできる。

【0293】但し、発光素子からの光の放射方向がシーリング材側に向かう場合にはシーリング材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0294】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いる。

【0295】また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質に充ておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0296】図15（C）に示すように、画素電極4203が形成されると同時に、引き出し配線4005a上に接するように導電性膜4203aが形成される。

【0297】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001上のFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4401とが、導電性フィラー4300aによって電気

的に接続される。

【0298】本実施例は、実施例1〜10と自由に組み合わせることで実施することが可能である。

【0299】(実施例12) 発光装置は自発光型であるため、液晶表示装置に比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0300】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図16に示す。

【0301】図16(A)はエレクトロルミネッセンス表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、エレクトロルミネッセンス表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0302】図16(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0303】図16(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0304】図16(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0305】図16(E)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含

む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0306】図16(F)はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0307】図16(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0308】ここで図16(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0309】なお、将来的に有機化合物層の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0310】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。電場を加えることで発生するルミネッセンスが得られる有機化合物材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0311】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0312】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1〜11に示したいずれの構成の発光装置を用いても良い。

【0313】

【発明の効果】本発明は上記構成によって、1フレーム期間に設けるサブフレーム期間の数を増やしても、各サブフレーム期間の長さが短くなるのを抑えることができる。よって画素のデジタルビデオ信号を入力する期間

(書きこみ期間)が短くなるのを抑えることができ、ソース信号線駆動回路の駆動周波数を抑えつつ、サブフレーム期間の数を増やすことができる。

【0314】 によって、フレーム周波数を落とさず、なおかつソース信号線駆動回路の駆動周波数が高くなるのを抑えつつ、階調数の高い画像を表示することが可能になる。

【0315】 また一般的な面積分割駆動法とは異なり、副画素の画素ピッチはほぼ同じである。一般的な面積分割駆動法では、一番小さい副画素にデザインルールをあてはめて設計するので高精細化が難しかった。しかし本発明の発光装置は階調数が増加しても副画素の画素ピッチがほぼ同じであるので、高精細化が可能である。

【0316】 さらに本発明の発光装置では、サブフレーム期間を分割し、分割したサブフレーム期間を連続して出現させず、間に他のサブフレーム期間または表示を行わない期間(非表示期間)を設けていても良い。なお非表示期間においては、画素部の全ての画素において発光素子は発光しない。

【0317】 上記構成により、動画疑似輪郭の発生を防ぐことができる。

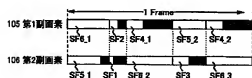
【0318】 なおかつ本発明の発光装置では、動画疑似輪郭の発生を防ぐためにサブフレーム期間を分割しても、1つのサブフレーム期間の長さが短くなるのを抑えることができ、ソース信号線駆動回路の駆動周波数の高さを抑えることができる。

#### 【図面の簡単な説明】

【図1】 本発明の発光装置のブロック図及び画素の回路図。

【図2】 本発明の発光装置の画素部の回路図。

【図3】



【図3】 副画素におけるサブフレーム期間の出現するタイミングを示す図。

【図4】 書き込み用ゲート信号線と、第1及び第2消去用ゲート信号線のタイミングチャート。

【図5】 画素部におけるサブフレーム期間の出現するタイミングを示す図。

【図6】 画素部におけるサブフレーム期間の出現するタイミングを示す図。

【図7】 本発明の発光装置の画素の上面図。

【図8】 本発明の発光装置の画素の回路図。

【図9】 本発明の発光装置のブロック図及び画素の回路図。

【図10】 本発明の発光装置の駆動回路群のブロック図。

【図11】 本発明の発光装置が有するTFTの作製工程を示す図。

【図12】 本発明の発光装置が有するTFTの作製工程を示す図。

【図13】 本発明の発光装置が有するTFTの作製工程を示す図。

【図14】 本発明の発光装置が有するTFTの作製工程を示す図。

【図15】 本発明の発光装置の上面図及び断面図。

【図16】 本発明の発光装置を用いた電子機器の図。

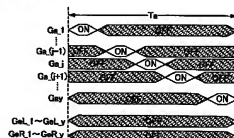
【図17】 一般的な発光装置の画素部及び画素の回路図。

【図18】 一般的な発光装置のサブフレーム期間の出現するタイミングを示す図。

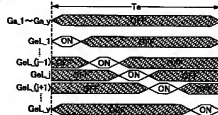
【図19】 一般的な発光装置のサブフレーム期間の出現するタイミングを示す図。

【図4】

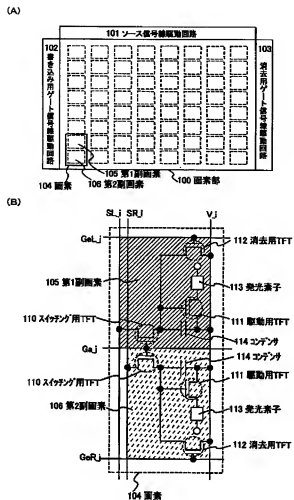
(A)書き込み期間  $T_w$



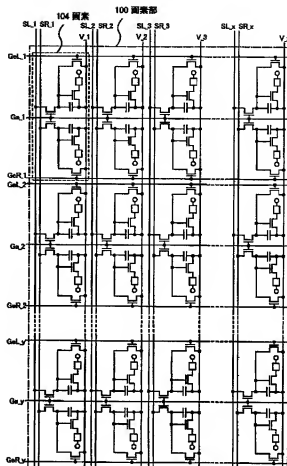
(B)消去期間  $T_e$



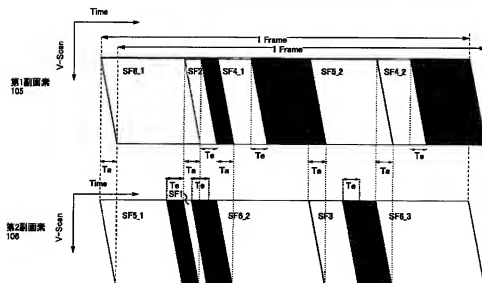
【図1】



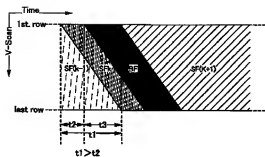
【図2】



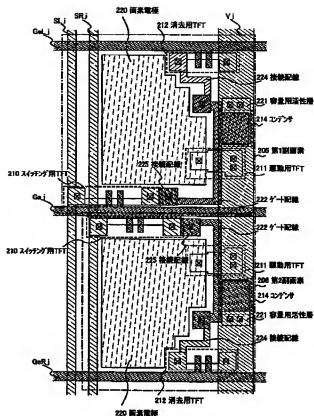
【図5】



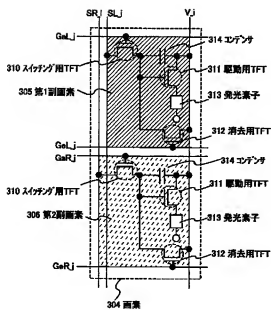
【図 6】



【図 7】

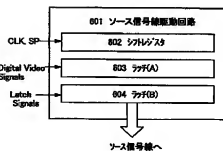


【図 8】

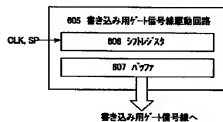


【図 10】

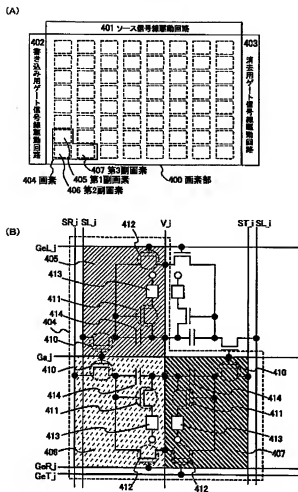
(A)



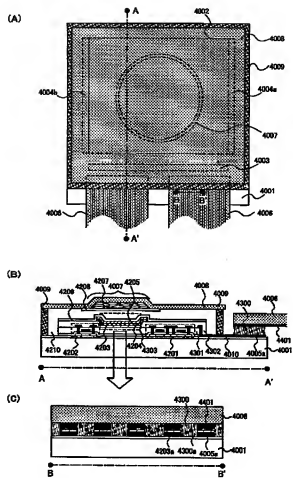
(B)



【図 9】

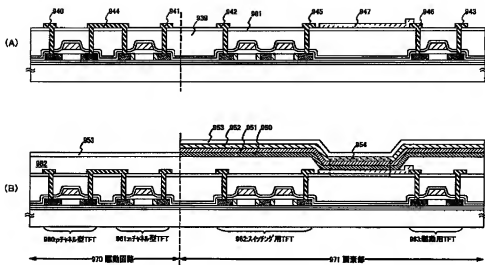


【図 15】

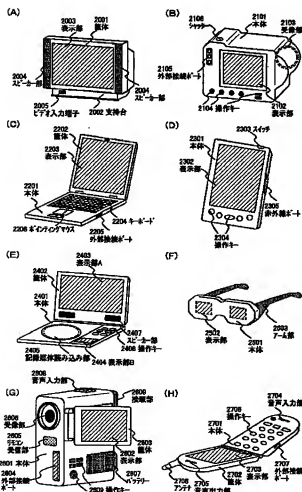




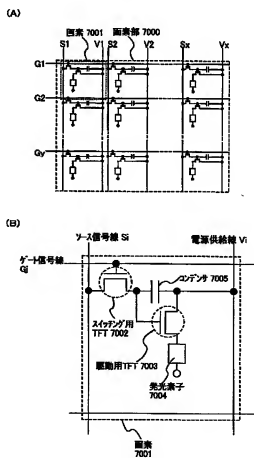
【図 14】



【図 16】



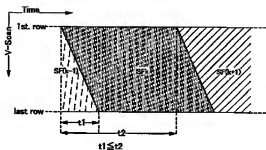
【図 17】



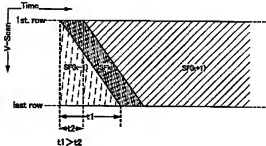


【図19】

(A)



(B)



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 K
			6 4 1 R
	3/30		K
H 0 4 N 5/70		H 0 4 N 5/70	A
H 0 5 B 33/14		H 0 5 B 33/14	A

Fターム(参考) 3K007 DB03 GA00  
 5C058 AA12 BA03 BA04 BA07 BA09  
 BB01 BB10  
 5C080 AA06 BB05 DD03 DD08 DD21  
 EE19 EE29 FF11 GG07 GG08  
 JJ02 JJ03 JJ04 JJ06  
 5C094 AA02 AA07 AA53 BA03 BA27  
 CA19 CA20 CA25 EA04 EA07  
 HA08